



862.C1692



J617 Rec'd PCT/PTO 27 APR 2001

PCT

#

PATENT APPLICATION

6

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of: )  
AOJI ISONO ET AL. ) : Examiner: NYA  
Application No.: 09/719,523 ) : Group Art Unit: NYA  
Filed: December 13, 2000 ) :  
For: METHOD OF CONTROLLING ) :  
IMAGE DISPLAY ) : April 26, 2001

Commissioner for Patents  
Washington, D.C. 20231

CLAIM TO PRIORITY

Sir:

Applicant hereby claims priority under the  
International Convention and all rights to which he is entitled  
under 35 U.S.C. § 119 based upon the following Japanese Priority  
Application:

10-284492 filed October 6, 1998

A certified copy of the priority document is  
enclosed.

Applicant's undersigned attorney may be reached in

our New York office by telephone at (212) 218-2100. All correspondence should continue to be directed to our address given below.

Respectfully submitted,

  
Attorney for Applicant

Registration No. 25,823

FITZPATRICK, CELLA, HARPER & SCINTO  
30 Rockefeller Plaza  
New York, New York 10112-3801  
Facsimile: (212) 218-2200

NY\_MAIN 164754 v 1



862.C1692  
09/719.523

(translation of the front page of the priority document of  
Japanese Patent Application No. 10-284492)

PATENT OFFICE  
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy of the  
following application as filed with this Office.

Date of Application: October 6, 1998

Application Number : Patent Application 10-284492

Applicant(s) : Canon Kabushiki Kaisha

December 22, 2000

Commissioner

Patent Office

Kouzo OIKAWA

Certification Number 2000-3106868



日本国特許庁

PATENT OFFICE  
JAPANESE GOVERNMENT

CFM 169205  
09/719523

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application:

1998年10月 6日

出願番号  
Application Number:

平成10年特許願第284492号

出願人  
Applicant (s):

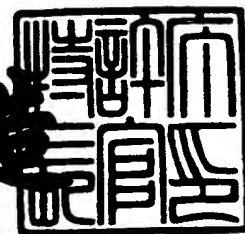
キャノン株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2000年12月22日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



出証番号 出証特2000-3106868

【書類名】 特許願

【整理番号】 3798072

【提出日】 平成10年10月 6日

【あて先】 特許庁長官殿

【国際特許分類】 H01J 1/30

【発明の名称】 画像表示装置の制御方法

【請求項の数】 25

【発明者】

    【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社  
社内

    【氏名】 磯野 青児

【発明者】

    【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社  
社内

    【氏名】 山崎 達郎

【特許出願人】

    【識別番号】 000001007

    【氏名又は名称】 キヤノン株式会社

    【代表者】 御手洗 富士夫

【代理人】

    【識別番号】 100065385

    【弁理士】

    【氏名又は名称】 山下 穰平

    【電話番号】 03-3431-1831

【手数料の表示】

    【予納台帳番号】 010700

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9703871

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像表示装置の制御方法

【特許請求の範囲】

【請求項 1】 画像信号を入力するビデオ回路と、前記ビデオ回路の出力を変調する変調回路と、走査回路の出力及び前記変調回路の出力とに基づいて画像を表示する表示パネルと、電源回路と、制御回路とを含む画像表示装置の制御方法であって、

前記電源回路をオンした時に、前記電源回路は最初に、前記ビデオ回路及び前記制御回路への電力の供給を開始する処理を行うことを特徴とする画像表示装置の制御方法。

【請求項 2】 画像信号を入力するビデオ回路と、前記ビデオ回路の出力を変調する変調回路と、走査回路の出力及び前記変調回路の出力とに基づいて画像を表示する表示パネルと、電源回路と、制御回路とを含む画像表示装置の制御方法であって、

前記電源回路をオフした時に、前記電源回路は最後に、前記ビデオ回路及び前記制御回路への電力の供給を停止する処理を行うことを特徴とする画像表示装置の制御方法。

【請求項 3】 画像信号を入力するビデオ回路と、前記ビデオ回路の出力を変調する変調回路と、走査回路の出力及び前記変調回路の出力とに基づいて画像を表示する表示パネルと、電源回路と、制御回路とを含む画像表示装置の電源制御方法であって、

緊急停止時に、前記電源回路は最後に、前記ビデオ回路及び前記制御回路への電力の供給を停止する処理を行うことを特徴とする画像表示装置の制御方法。

【請求項 4】 画像信号を入力するビデオ回路と、前記ビデオ回路の出力を変調する変調回路と、走査回路の出力及び前記変調回路の出力とに基づいて画像を表示する表示パネルと、電源回路と、制御回路とを含む画像表示装置の制御方法であって、

前記電源回路をオンした時に、前記電源回路は前記変調回路及び前記走査回路より先に前記ビデオ回路及び前記制御回路への電力の供給を開始する処理を行う

ことを特徴とする画像表示装置の制御方法。

【請求項 5】 画像信号を入力するビデオ回路と、前記ビデオ回路の出力を変調する変調回路と、走査回路の出力及び前記変調回路の出力とに基づいて画像を表示する表示パネルと、電源回路と、制御回路とを含む画像表示装置の制御方法であって、

前記電源回路をオフした時に、前記電源回路は、前記変調回路及び前記走査回路より後に前記ビデオ回路及び前記制御回路への電力の供給を停止する処理を行うことを特徴とする画像表示装置の制御方法。

【請求項 6】 画像信号を入力するビデオ回路と、前記ビデオ回路の出力を変調する変調回路と、走査回路の出力及び前記変調回路の出力とに基づいて画像を表示する表示パネルと、電源回路と、制御回路とを含む画像表示装置の電源制御方法であって、

緊急停止時に、前記電源回路は、前記変調回路及び前記走査回路より後に前記ビデオ回路及び前記制御回路への電力の供給を停止する処理を行うことを特徴とする画像表示装置の制御方法。

【請求項 7】 画像信号を入力するビデオ回路と、前記ビデオ回路の出力を変調する変調回路と、走査回路の出力及び前記変調回路の出力とに基づいて画像を表示する表示パネルと、電源回路と、制御回路とを含む画像表示装置の制御方法であって、

前記電源回路をオンした後に、所望の時間、前記電源回路は、前記走査回路又は前記変調回路への供給を停止する処理を行うことを特徴とする画像表示装置の制御方法。

【請求項 8】 画像信号を入力するビデオ回路と、前記ビデオ回路の出力を変調する変調回路と、走査回路の出力及び前記変調回路の出力とに基づいて画像を表示する表示パネルと、電源回路と、制御回路とを含み、前記変調回路は、前記画像信号の水平同期信号に同期して前記画像信号に応じたデータを順次シフトし並列に前記データを出力するシフトレジスタを備えた画像表示装置の制御方法であって、

前記電源回路をオンした後に、前記シフトレジスタが出力すべき前記データが



確定するまで、前記制御回路は、前記走査回路の出力及び/又は前記変調回路の出力を停止する処理を行うことを特徴とする画像表示装置の制御方法。

【請求項 9】 画像信号を入力するビデオ回路と、前記ビデオ回路の出力を変調する変調回路と、走査回路の出力及び前記変調回路の出力とに基づいて画像を表示する表示パネルと、電源回路と、制御回路とを含み、前記変調回路は、垂直同期信号を水平同期信号に応じてシフトさせる第 1 シフトレジスタと、前記画像信号の水平同期信号に同期して前記画像信号に応じたデータを順次シフトさせ並列に前記データを出力する第 2 シフトレジスタとを備えた画像表示装置の制御方法であって、

前記電源回路をオンした後に、前記第 1 シフトレジスタ及び前記第 2 シフトレジスタが出力すべき前記データが確定するまで、前記制御回路は、前記走査回路及び/又は前記変調回路の出力を停止する処理を行うことを特徴とする画像表示装置の制御方法。

【請求項 10】 前記データが確定するまでの時間は、前記制御回路が、垂直同期信号を所定数カウントする時間であることを特徴とする請求項 8、9 のいずれか一つに記載された画像表示装置の制御方法。

【請求項 11】 前記データが確定するまでの時間は、前記制御回路が、水平同期信号を所定数カウントする時間であることを特徴とする請求項 8、9 のいずれかに記載された画像表示装置の制御方法。

【請求項 12】 前記制御回路は、タイマを備え、  
前記データが確定するまでの時間は、前記制御回路が、前記タイマで計時する所定時間であることを特徴とする請求項 8、9 のいずれかに記載された画像表示装置の制御方法。

【請求項 13】 画像信号を入力するビデオ回路と、前記ビデオ回路の出力を変調する変調回路と、走査回路の出力及び前記変調回路の出力とに基づいて画像を表示する表示パネルと、電源回路と、制御回路とを含み、前記変調回路は、垂直同期信号を水平同期信号に応じてシフトさせる第 1 シフトレジスタと、前記画像信号の水平同期信号に同期して前記画像信号に応じたデータを順次シフトさせ並列に前記データを出力する第 2 シフトレジスタを備えた画像表示装置の制御

方法であって、

前記電源回路をオンした後、前記走査回路又は前記変調回路の電源電圧が所定値となるまで、前記制御回路は、前記走査回路及び/又は前記変調回路の出力を停止する処理を行うことを特徴とする画像表示装置の制御方法。

【請求項 14】 前記制御回路は、時前記処理後に、表示パネルに高電圧を供給することを特徴とする請求項 1 乃至 9、13 のいずれか一つに記載された画像表示装置の制御方法。

【請求項 15】 画像信号を入力するビデオ回路と、前記ビデオ回路の出力を変調する変調回路と、走査回路の出力及び前記変調回路の出力とに基づいて画像を表示する表示パネルと、電源回路と、制御回路とを含み、前記変調回路は、垂直同期信号を水平同期信号に応じてシフトさせる第 1 シフトレジスタと、前記画像信号の水平同期信号に同期して前記画像信号に応じたデータを順次シフトさせて次の水平同期期間以降に並列に前記データを出力する第 3 シフトレジスタとを備えた画像表示装置の制御方法であって、

前記電源回路をオフした後、前記制御回路は、前記走査回路及び/又は前記変調回路の出力を停止してから、前記走査回路及び/又は前記変調回路への電力の供給を停止する処理を行うことを特徴とする画像表示装置の制御方法。

【請求項 16】 画像信号を入力するビデオ回路と、前記ビデオ回路の出力を変調する変調回路と、走査回路の出力及び前記変調回路の出力とに基づいて画像を表示する表示パネルと、電源回路と、制御回路とを含み、前記変調回路は、垂直同期信号を水平同期信号に応じてシフトさせる第 1 シフトレジスタと、前記画像信号の水平同期信号に同期して前記画像信号に応じたデータを順次シフトさせて次の水平同期期間以降に並列に前記データを出力する第 3 シフトレジスタとを備えた画像表示装置の制御方法であって、

緊急停止時に、前記制御回路は、前記走査回路及び/又は前記変調回路の出力を停止してから、前記走査回路及び/又は前記変調回路への電力の供給を停止する処理を行うことを特徴とする画像表示装置の制御方法。

【請求項 17】 前記制御回路は、コンデンサ又は電池により、前記走査回路及び/又は前記変調回路の出力を停止してから、前記走査回路及び/又は前記変

調回路への電力の供給を停止する処理を行うことを特徴とする請求項 16 記載の画像表示装置の制御方法。

【請求項 18】 前記制御回路は、制御信号を、前記走査回路のゲートに送出することにより、前記走査回路の出力を停止することを特徴とする請求項 1 乃至 9、13、15、16 のいずれか一つに記載された画像表示装置の制御方法。

【請求項 19】 前記制御回路は、制御信号を、前記変調回路のゲートに送出することにより、前記変調回路の出力を停止することを特徴とする請求項 1 乃至 9、13、15、16 のいずれか一つに記載された画像表示装置の制御方法。

【請求項 20】 前記走査回路は、前記表示パネルの画素を選択するときに電圧を供給する選択電源回路と、選択しないときに他の電圧を供給する非選択回路とを有することを特徴とする請求項 1 乃至 9、13、15、16 のいずれか一つに記載された画像表示装置の制御方法。

【請求項 21】 前記走査回路は、前記表示パネルの画素を選択するときに電圧を供給する選択電源回路と、選択しないときに接地電位を供給する非選択回路とを有することを特徴とする請求項 1 乃至 9、13、15、16 のいずれか一つに記載された画像表示装置の制御方法。

【請求項 22】 前記変調回路は、パルス幅変調回路及び/又は振幅変調回路を含むことを特徴とする請求項 1 乃至 9、13、15、16 のいずれか一つに記載された画像表示装置の制御方法。

【請求項 23】 前記変調回路は、電圧源及び/又は電流源を含むことを特徴とする請求項 1 乃至 9、13、15、16 のいずれか一つに記載された画像表示装置の制御方法。

【請求項 24】 前記表示パネルは、複数の冷陰極素子を複数の行配線及び複数の列配線によってマトリクス配線したマルチ電子源を含むことを特徴とする請求項 1 乃至 9、13、15、16 のいずれか一つに記載された画像表示装置の制御方法。

【請求項 25】 前記表示パネルは、複数の表面伝導型電子放出素子を複数の行配線及び複数の列配線によってマトリクス配線したマルチ電子源を含むことを特徴とする請求項 1 乃至 9、13、15、16 のいずれか一つに記載された画

像表示装置の制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、画像表示装置の制御方法に関し、特に、複数の冷陰極素子をマトリクス配線したマルチ電子源と、各冷陰極素子からの電子線照射を受けて発光する蛍光体を有する画像表示パネルを用いた画像表示装置の電源オン/オフ制御方法及び緊急停止制御方法に関する。

【0002】

【従来の技術】

従来、電子放出素子として熱陰極素子と冷陰極素子の2種類が知られている。このうち冷陰極素子では、たとえば表面伝導型放出素子や、電界放出素子（以下FE型と記す）や、金属／絶縁層／金属型放出素子（以下MIM型と記す）、などが知られている。

【0003】

表面伝導型放出素子としては、たとえば、M.I.Elinson, Radio Eng. Electron Phys., 10, 1290, (1965) や、後述する他の例が知られている。

【0004】

表面伝導型放出素子は、基板上に形成された小面積の薄膜に、膜面に平行に電流を流すことにより電子放出が生ずる現象を利用するものである。この表面伝導型放出素子としては、前記エリンソン等による $\text{SnO}_2$ 薄膜を用いたものの他に、Au薄膜によるもの [G.Dittmer: "Thin Solid Films", 9, 317 (1972)] や、 $\text{In}_2\text{O}_3/\text{SnO}_2$ 薄膜によるもの [M.Hartwell and C.G.Fonstad: "IEEE Trans. ED Conf.", 519(1975)] や、カーボン薄膜によるもの [荒木久 他: 真空、第26巻、第1号、22 (1983)] 等が報告されている。

【0005】

図28に、これらの表面伝導型放出素子の素子構成の典型的な例として、前述のM. Hartwellらによる素子の平面図を示す。図において、3001は基板で、3004はスパッタで形成された金属酸化物よりなる導電性薄膜である

。導電性薄膜 3004 は図示のように H 字型の平面形状に形成されている。該導電性薄膜 3004 に後述の通電フォーミングと呼ばれる通電処理を施すことにより、電子放出部 3005 が形成される。図の間隔  $L$  は、 $0.5 \sim 1$  [mm]、 $W$  は、 $0.1$  [mm] で設定されている。尚、図示の便宜から、電子放出部 3005 は導電性薄膜 3004 の中央に矩形の形状で示したが、これは模式的なものであり、実際の電子放出部の位置や形状を忠実に表現しているわけではない。

#### 【0006】

M.Hartwell らによる素子をはじめとして上述の表面伝導型放出素子においては、電子放出を行う前に導電性薄膜 3004 を通電フォーミングと呼ばれる通電処理を施すことにより電子放出部 3005 を形成するのが一般的であった。すなわち、通電フォーミングとは、前記導電性薄膜 3004 の両端に一定の直流電圧、もしくは、例えば  $1\text{ V/分}$  程度の非常にゆっくりとしたレートで昇圧する直流電圧を印加して通電し、導電性薄膜 3004 を局所的に破壊もしくは変形もしくは変質せしめ、電氣的に高抵抗な状態の電子放出部 3005 を形成することである。尚、局所的に破壊もしくは変形もしくは変質した導電性薄膜 3004 の一部には、亀裂が発生する。前記通電フォーミング後に導電性薄膜 3004 に適宜の電圧を印加した場合には、前記亀裂付近において電子放出が行われる。

#### 【0007】

また、FE 型の例は、たとえば、W.P.Dyke & W.W.Dolan, "Field emission", *Advances in Electron Physics*, 8, 89 (1956) や、あるいは、C.A.Spindt, "Physical properties of thin-film field emission cathodes with molybdenum cones", *J. Appl. Phys.*, 47, 5248 (1976) などが知られている。

#### 【0008】

図 29 に、FE 型の素子構成の典型的な例として、前述の C.A.Spindt らによる素子の断面図を示す。図において、3010 は基板で、3011 は導電材料よりなるエミッタ配線、3012 はエミッタコーン、3013 は絶縁層、3014 はゲート電極である。本素子は、エミッタコーン 3012 とゲート電極 3014 の間に適宜の電圧を印加することにより、エミッタコーン 3012 の先端部より電界放出を起こさせるものである。

## 【0009】

また、FE型の他の素子構成として、図29のような積層構造ではなく、基板上に基板平面とほぼ平行にエミッタとゲート電極を配置した例もある。

## 【0010】

また、MIM型の例としては、たとえば、C.A.Mead, "Operation of tunnel-emission Devices, J. Appl. Phys. , 32, 646 (1961) などが知られている。

## 【0011】

図30には、MIM型の素子構成の典型的な例を示す。図は断面図であり、3020は基板で、3021は金属よりなる下電極、3022は厚さ100オングストローム程度の薄い絶縁層、3023は厚さ80～300オングストローム程度の金属よりなる上電極である。MIM型においては、上電極3023と下電極3021の間に適宜の電圧を印加することにより、上電極3023の表面より電子放出を起こさせるものである。

## 【0012】

上述の冷陰極素子は、熱陰極素子と比較して低温で電子放出を得ることができるため、加熱用ヒーターを必要としない。したがって、熱陰極素子よりも構造が単純であり、微細な素子を作成可能である。また、基板上に多数の素子を高い密度で配置しても、基板の熱溶融などの問題が発生しにくい。また、熱陰極素子がヒーターの加熱により動作するため応答速度が遅いのは異なり、冷陰極素子の場合には応答速度が速いという利点もある。

## 【0013】

このため、冷陰極素子を応用するための研究が盛んに行われてきている。

## 【0014】

たとえば、表面伝導型放出素子は、冷陰極素子のなかでも特に構造が単純で製造も容易であることから、大面積にわたり多数の素子を形成できる利点がある。そこで、たとえば本出願人による特開昭64-31332号公報において開示されるように、多数の素子を配列して駆動するための方法が研究されている。

## 【0015】

また、表面伝導型放出素子の応用については、たとえば、画像表示装置、画像記録装置などの画像形成装置や、荷電ビーム源等が研究されている。

【0016】

特に、画像表示装置への応用としては、たとえば本出願人によるUSP 5,066,883や特開平2-257551号公報や特開平4-28137号公報において開示されているように、表面伝導型放出素子と電子ビームの照射により発光する蛍光体とを組み合わせ用いた画像表示装置が研究されている。表面伝導型放出素子と蛍光体とを組み合わせ用いた画像表示装置は、従来の他の方式の画像表示装置よりも優れた特性が期待されている。たとえば、近年普及してきた液晶表示装置と比較しても、自発光型であるためバックライトを必要としない点や、視野角が広い点が優れていると言える。

【0017】

また、FE型を多数個ならべて駆動する方法は、たとえば本出願人によるUSP 4,904,895に開示されている。また、FE型を画像表示装置に応用した例として、たとえば、R.Meyerらにより報告された平板型表示装置が知られている。[R.Meyer: "Recent Development on Microtips Display at LETI", Tech.Digest of 4th Int. Vacuum Microelectronics Conf., Nagahama, pp. 6~9 (1991)]

また、MIM型を多数個並べて画像表示装置に応用した例は、たとえば本出願人による特開平3-55738号公報に開示されている。

【0018】

発明者らは、上記従来技術に記載したものをはじめとして、さまざまな材料、製法、構造の冷陰極素子を試みてきた。さらに、多数の冷陰極素子を配列したマルチ電子ビーム源、ならびにこのマルチ電子ビーム源を応用した画像表示装置について研究を行ってきた。

【0019】

図31は、発明者らが試みた電氣的な配線方法によるマルチ電子ビーム源である。すなわち、冷陰極素子を2次元的に多数個配列し、これらの素子を図示のようにマトリクス状に配線したマルチ電子ビーム源である。図において、4001

は冷陰極素子を模式的に示したもの、4002は行方向配線、4003は列方向配線である。行方向配線4002および列方向配線4003は、実際には有限の電気抵抗を有するものであるが、図においては配線抵抗4004および4005として示されている。上述のような配線方法を、単純マトリクス配線と呼ぶ。

#### 【0020】

なお、図示の便宜上、 $6 \times 6$ のマトリクスで示しているが、マトリクスの規模はむろんこれに限ったわけではなく、たとえば画像表示装置用のマルチ電子ビーム源の場合には、所望の画像表示を行うのに足りるだけの素子を配列し配線するものである。

#### 【0021】

冷陰極素子を単純マトリクス配線したマルチ電子ビーム源においては、所望の電子ビームを出力させるため、行方向配線4002および列方向配線4003に適宜の電気信号を印加する。たとえば、マトリクスの中の任意の1行の冷陰極素子を駆動するには、選択する行の行方向配線4002には選択電圧 $V_s$ を印加し、同時に非選択の行の行方向配線4002には非選択電圧 $V_{ns}$ を印加する。これと同期して列方向配線4003に電子ビームを出力するための駆動電圧 $V_e$ を印加する。この方法によれば、配線抵抗4004および4005による電圧降下を無視すれば、選択する行の冷陰極素子には、 $V_e - V_s$ の電圧が印加され、また非選択行の冷陰極素子には $V_e - V_{ns}$ の電圧が印加される。 $V_e$ 、 $V_s$ 、 $V_{ns}$ を適宜の大きさの電圧にすれば選択する行の冷陰極素子だけから所望の強度の電子ビームが出力されるはずであり、また列方向配線の各々に異なる駆動電圧 $V_e$ を印加すれば、選択する行の素子の各々から異なる強度の電子ビームが出力されるはずである。また、駆動電圧 $V_e$ を印加する時間の長さを変えれば、電子ビームが出力される時間の長さも変えることができるはずである。

#### 【0022】

したがって、冷陰極素子を単純マトリクス配線したマルチ電子ビーム源はいろいろな応用可能性があり、たとえば画像情報に応じた電気信号を適宜印加すれば、画像表示装置用の電子源として好適に用いることができる。

#### 【0023】



## 【発明が解決しようとする課題】

しかし、冷陰極素子を単純マトリクス配線したマルチ電子ビーム源には、実際には以下に述べるような問題が発生していた。

## 【0024】

上記画像表示装置の電源を投入した場合、行方向配線及び列方向配線に印加する電圧電源の出力が安定する前に、その電源の出力がマルチ電子ビーム源に印加され、冷陰極素子にダメージを与えてしまう場合が生じた。

## 【0025】

同様に、電源を停止した場合も同様の現象が生じた。

## 【0026】

そこで、本発明は、電源を投入した場合、電源を停止した場合、コンセントが引き抜かれたり停電した場合に、画像表示装置の冷陰極素子にダメージを与えないようにすることを課題としている。

## 【0027】

## 【課題を解決するための手段】

上記の課題を解決するための本発明は、画像信号を入力するビデオ回路と、前記ビデオ回路の出力を変調する変調回路と、走査回路の出力及び前記変調回路の出力とに基づいて画像を表示する表示パネルと、電源回路と、制御回路とを含む画像表示装置の制御方法であって、前記電源回路をオンした時に、前記電源回路は最初に、前記ビデオ回路及び前記制御回路への電力の供給を開始するようにしている。

## 【0028】

又、本発明は、画像信号を入力するビデオ回路と、前記ビデオ回路の出力を変調する変調回路と、走査回路の出力及び前記変調回路の出力とに基づいて画像を表示する表示パネルと、電源回路と、制御回路とを含む画像表示装置の制御方法であって、前記電源回路をオフした時に、前記電源回路は最後に、前記ビデオ回路及び前記制御回路への電力の供給を停止する処理を行うようにしている。

## 【0029】

又、本発明は、画像信号を入力するビデオ回路と、前記ビデオ回路の出力を変

調する変調回路と、走査回路の出力及び前記変調回路の出力とに基づいて画像を表示する表示パネルと、電源回路と、制御回路とを含む画像表示装置の電源制御方法であって、緊急停止時に、前記電源回路は最後に、前記ビデオ回路及び前記制御回路への電力の供給を停止する処理を行うようにしている。

【0030】

又、本発明は、画像信号を入力するビデオ回路と、前記ビデオ回路の出力を変調する変調回路と、走査回路の出力及び前記変調回路の出力とに基づいて画像を表示する表示パネルと、電源回路と、制御回路とを含む画像表示装置の制御方法であって、前記電源回路をオンした時に、前記電源回路は前記変調回路及び前記走査回路より先に前記ビデオ回路及び前記制御回路への電力の供給を開始するようにしている。

【0031】

又、本発明は、画像信号を入力するビデオ回路と、前記ビデオ回路の出力を変調する変調回路と、走査回路の出力及び前記変調回路の出力とに基づいて画像を表示する表示パネルと、電源回路と、制御回路とを含む画像表示装置の制御方法であって、前記電源回路をオフした時に、前記電源回路は、前記変調回路及び前記走査回路より後に前記ビデオ回路及び前記制御回路への電力の供給を停止するようにしている。

【0032】

又、本発明は、画像信号を入力するビデオ回路と、前記ビデオ回路の出力を変調する変調回路と、走査回路の出力及び前記変調回路の出力とに基づいて画像を表示する表示パネルと、電源回路と、制御回路とを含む画像表示装置の電源制御方法であって、緊急停止時に、前記電源回路は、前記変調回路及び前記走査回路より後に前記ビデオ回路及び前記制御回路への電力の供給を停止するようにしている。

【0033】

又、本発明は、画像信号を入力するビデオ回路と、前記ビデオ回路の出力を変調する変調回路と、走査回路の出力及び前記変調回路の出力とに基づいて画像を表示する表示パネルと、電源回路と、制御回路とを含む画像表示装置の制御方法

であって、前記電源回路をオンした後に、所望の時間、前記電源回路は、前記走査回路又は前記変調回路への供給を停止する処理を行うようにしている。

【0034】

又、本発明は、画像信号を入力するビデオ回路と、前記ビデオ回路の出力を変調する変調回路と、走査回路の出力及び前記変調回路の出力とに基づいて画像を表示する表示パネルと、電源回路と、制御回路とを含み、前記変調回路は、前記画像信号の水平同期信号に同期して前記画像信号に応じたデータを順次シフトし並列に前記データを出力するシフトレジスタを備えた画像表示装置の制御方法であって、前記電源回路をオンした後に、前記シフトレジスタが出力すべき前記データが確定するまで、前記制御回路は、前記走査回路の出力及び/又は前記変調回路の出力を停止するようにしている。

【0035】

又、本発明は、画像信号を入力するビデオ回路と、前記ビデオ回路の出力を変調する変調回路と、走査回路の出力及び前記変調回路の出力とに基づいて画像を表示する表示パネルと、電源回路と、制御回路とを含み、前記変調回路は、垂直同期信号を水平同期信号に応じてシフトさせる第1シフトレジスタと、前記画像信号の水平同期信号に同期して前記画像信号に応じたデータを順次シフトさせ並列に前記データを出力する第2シフトレジスタとを備えた画像表示装置の制御方法であって、前記電源回路をオンした後に、前記第1シフトレジスタ及び前記第2シフトレジスタが出力すべき前記データが確定するまで、前記制御回路は、前記走査回路及び/又は前記変調回路の出力を停止するようにしている。

【0036】

又、本発明は、画像信号を入力するビデオ回路と、前記ビデオ回路の出力を変調する変調回路と、走査回路の出力及び前記変調回路の出力とに基づいて画像を表示する表示パネルと、電源回路と、制御回路とを含み、前記変調回路は、垂直同期信号を水平同期信号に応じてシフトさせる第1シフトレジスタと、前記画像信号の水平同期信号に同期して前記画像信号に応じたデータを順次シフトさせ並列に前記データを出力する第2シフトレジスタを備えた画像表示装置の制御方法であって、前記電源回路をオンした後、前記走査回路又は前記変調回路の電源電

圧が所定値となるまで、前記制御回路は、前記走査回路及び/又は前記変調回路の出力を停止するようにしている。

【0037】

又、本発明は、画像信号を入力するビデオ回路と、前記ビデオ回路の出力を変調する変調回路と、走査回路の出力及び前記変調回路の出力とに基づいて画像を表示する表示パネルと、電源回路と、制御回路とを含み、前記変調回路は、垂直同期信号を水平同期信号に応じてシフトさせる第1シフトレジスタと、前記画像信号の水平同期信号に同期して前記画像信号に応じたデータを順次シフトさせて次の水平同期期間以降に並列に前記データを出力する第3シフトレジスタとを備えた画像表示装置の制御方法であって、前記電源回路をオフした後、前記制御回路は、前記走査回路及び/又は前記変調回路の出力を停止してから、前記走査回路及び/又は前記変調回路への電力の供給を停止するようにしている。

【0038】

又、本発明は、画像信号を入力するビデオ回路と、前記ビデオ回路の出力を変調する変調回路と、走査回路の出力及び前記変調回路の出力とに基づいて画像を表示する表示パネルと、電源回路と、制御回路とを含み、前記変調回路は、垂直同期信号を水平同期信号に応じてシフトさせる第1シフトレジスタと、前記画像信号の水平同期信号に同期して前記画像信号に応じたデータを順次シフトさせて次の水平同期期間以降に並列に前記データを出力する第3シフトレジスタとを備えた画像表示装置の制御方法であって、緊急停止時に、前記制御回路は、前記走査回路及び/又は前記変調回路の出力を停止してから、前記走査回路及び/又は前記変調回路への電力の供給を停止するようにしている。

【0039】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態について説明する。

【0040】

〔実施形態1〕

図1に本実施形態のSED (Surface Electron emitter Display) パネルの駆動回路のブロック図を示す。

## 【0041】

P2000は表示パネルであり、本実施形態においては240\*720個の表面伝導型素子；P2001が垂直240行の行配線と水平720列の列配線によりマトリクス配線され、各表面伝導型素子；P2001からの放出電子ビームが高圧電源部；P30から印加される高圧電圧により加速され不図示の蛍光体に照射されることにより発光を得るものである。この不図示の蛍光体は用途に応じて種々の色配列を取ることが可能であるが、一例としてRGB縦ストライプ状の色配列とする。

## 【0042】

本実施形態においては以下前記水平240（RGBトリオ）\*垂直240ラインの画素数を有する表示パネルにNTSC相当のテレビ画像を表示する応用例を示すが、NTSCに限らずHDTVのような高精細な画像やコンピュータの出力画像など、解像度やフレームレートが異なる画像信号に対しても、ほぼ同一の構成で容易に対応できる。

## 【0043】

SED（Surface Electron emitter Display）パネルの駆動回路は、ビデオ回路部と、システムコントロール部と、駆動回路部で構成されている。

## 【0044】

図2に示すP1は、NTSCのコンポジットビデオ入力をを受けRGBコンポーネントを出力するNTSC-RGBデコーダ部である。このユニット内にて入力ビデオ信号に重畳されている同期信号（SYNC）を分離し出力する。同じく入力ビデオ信号に重畳されているカラーバースト信号を分離し、カラーバースト信号に同期したCLK信号（CLK1）を生成し出力する。

## 【0045】

図3に示すP2は、P1にてデコードされたアナログRGB信号を、SEDパネルを輝度変調するためのデジタル階調信号に変換するために必要なタイミング信号を発生するためのタイミング発生部である。上述のタイミング信号は、P1からのRGBアナログ信号をアナログ処理部；P3にて直流再生するためのクラ

ンプパルス、P1からのRGBアナログ信号にアナログ処理部；P3にてブラン  
ク期間を付加するためのブランピングパルス（BLKパルス）、RGBアナログ  
信号のレベルをビデオ検出部；P4にて検出するための検出パルス、アナログR  
GB信号をA/D部；P6にてデジタル信号に変換するためのサンプルパルス（  
不図示）、RAMコントローラ；P12がRAM；P8を制御するために必要な  
RAMコントローラ制御信号、P2内で生成されCLK1入力時にはP2内PL  
L回路によりCLK1に同期する自走CLK信号（CLK2）、P2内でCLK  
2を基に生成される同期信号（SYNC2）である。自走のCLK2発生手段を  
備えることにより、入力ビデオ信号が存在しないときも基準信号であるCLK2  
、SYNC2を発生できるため、RAM手段；P8の画像データを読み出すこと  
による画像表示が可能である。

#### 【0046】

図3に示すP3は、P1からの出力原色信号それぞれに備えられるアナログ処  
理部であり、主に以下の動作をする。まず、P2からクランプパルスを受け直流  
再生を行なう。又、P2からBLKパルスを受けブランピング期間を付加する。  
又、MPU；P11を中心に構成されるシステムコントロール部の制御出力の一  
つであるD/A部；P14のゲイン調整信号を受け、P1から入力された原色信  
号の振幅制御を行なう。又、MPU；P11を中心に構成されるシステムコント  
ロール部の制御出力の一つであるD/A部；P14のオフセット調整信号を受け  
、P1から入力された原色信号の黒レベル制御を行なう。

#### 【0047】

又、P4は、入力される画像信号レベルあるいは、アナログ処理部；P3にて  
制御された後の画像信号レベルを検出するためのビデオ検出部であり、P2から  
検出パルスを受け、MPU；P11を中心に構成されるシステムコントロール部  
の制御入力のひとつであるA/D部；P15により検出結果が読み取られる。

#### 【0048】

P2からの検出パルスは、例えばゲートパルス、リセットパルス、サンプル&  
ホールド（以下S/H）パルスの3種からなり、ビデオ検出部は例えば積分回路  
とS/H回路からなる。

## 【0049】

たとえばゲートパルスにより入力ビデオ信号の有効期間中、前述積分回路でビデオ信号を積分し垂直帰線期間に発生するS/HパルスによりS/H回路で積分回路の出力をサンプルする。同垂直帰線期間にA/D部；P15により検出結果が読み取られた後リセットパルスで積分回路とS/H回路が初期化される。

## 【0050】

このような動作でフィールド毎の平均ビデオレベルが検出できる。

## 【0051】

FPE；P5は、A/D部；P6の前段に置かれるプリフィルタ手段である。

## 【0052】

A/D部；P6は、P2からのサンプルCLKを受け、LPF；P5を通過したアナログ原色信号を必要階調数で量子化するA/Dコンバータ手段である。

## 【0053】

逆 $\gamma$ テーブル；P7は、入力されるビデオ信号を表示パネルが有する発光特性に変換するために備えられた階調特性変換手段である。本実施形態のようにパルス幅変調により輝度階調を表現する場合、輝度データの大きさに発光量がほぼ比例するリニアな特性を示すことが多い。一方ビデオ信号は、CRTを用いたTV受像機を対象としているため、CRTの非線形な発光特性を補正するために $\gamma$ 処理を施されている。このため本実施形態のようにリニアな発光特性を持つパネルにTV画像を表示させる場合、P7のような階調特性変換手段で $\gamma$ 処理の効果を打ち消す必要がある。

## 【0054】

MPU；P11を中心に構成されるシステムコントロール部の制御入出力のひとつであるI/O制御部；P13の出力によりこのテーブルデータを切り替えて、発光特性を好みに変えることが出来る。

## 【0055】

P8は、R/G/B処理回路毎に備えられた画像メモリであり、パネルの総表示画素数分のアドレスを有する。（この場合水平240\*垂直240ライン\*3個）。このメモリにパネル各絵素が発光すべき輝度データを格納しておき、点順

次に輝度データを読み出すことにより、パネルにメモリ内に格納された画像の表示を行なう。

【0056】

輝度データのP8からの出力は、RAMコントローラ；P12からのアドレス制御を受けて行なう。

【0057】

P8へのデータの書き込みは、MPU；P11を中心に構成されるシステムコントロール部の管理の基に行なわれる。簡単なテストパターンなどであれば、MPU；P11がP8各アドレスに格納する輝度データを演算して発生し書き込む。自然静止画像のようなパターンであれば、例えば外部コンピュータなどに格納した画像ファイルをMPU；P11を中心に構成されるシステムコントロール部の入出力部のひとつであるシリアル通信I/F；P16を介して読み込み、画像メモリ；P8へ書き込む。

【0058】

P9はデータセクタであり、出力する画像データを画像メモリ；P8からのデータにするか、A/D部；P6（入力ビデオ信号系）からのデータにするかをMPU；P11を中心に構成されるシステムコントロール部の制御入出力のひとつであるI/O制御部；P13の出力により決定する。

【0059】

この2系統の入力セレクトの他、P9から固定値を発生するモードを持ちP13によりこのモードが選択され出力することもできる。このモードにより、例えば全白パターンなどの調整信号を外部入力なしに高速に表示することができる。

【0060】

P10は、各原色信号毎に備えられる水平1ラインメモリ手段であり、ラインメモリ制御部；P21の制御信号により、RGBの3系統並列に入力される輝度データをパネル色配列に応じた順番に並べ替えて1系統の直列信号に変換しラッチ手段；P22を介してXドライバ部へ出力する。

【0061】

システムコントロール部は主にMPU；P11、シリアル通信I/F；P16



、I/O制御部；P13、D/A部；P14、A/D部；P15、データメモリ；P17、ユーザーSW手段；P18から構成される。

【0062】

システムコントロール部は、ユーザーSW手段；P18やシリアル通信I/F；P16からのユーザー要求を受け、対応する制御信号をI/O制御部；P13やD/A部；P14から出力することによりその要求を実現する。

【0063】

また、A/D部；P15からのシステム監視信号を受け応ずる制御信号をI/O制御部；P13やD/A部；P14から出力することにより最適な自動制御を行なう。

【0064】

本実施形態においてはユーザー要求に応じて、テストパターン発生や階調性の可変、明るさ、色制御などの表示制御が実現できる。また前述のようにビデオ検出部；P4からの平均ビデオレベルをA/D部；P15でモニタすることによりABLなどの自動制御を行なうこともできる。

【0065】

またデータメモリ；P17を備えることにより、ユーザー調整量を保存することができる。

【0066】

ドライバ回路は、図3に示すように、Yドライバ制御タイミング発生部P19、Xドライバ制御タイミング発生部P20を有している。Yドライバ制御タイミング発生部P19、Xドライバ制御タイミング発生部P20はともにCLK1、CLK2、SYNC2信号を受けYドライバ制御、Xドライバ制御信号を発生する。又、P21はラインメモリ；P10のタイミング制御を行なうための制御部であり、CLK1、CLK2、SYNC2信号を受け輝度データをラインメモリに書き込むためのR、G、B\_\_WRT制御信号およびラインメモリからパネル色配列に応じた順番で輝度データを読み出すためのR、G、B\_\_RD制御信号を発生する。

【0067】

図5は、以上説明した表示パネル駆動装置の動作を示すタイミングチャートである。信号T104はRGB各色の内1色を例として書いた色サンプルデータ列の波形であり、1水平期間に240個のデータ列で構成される。このデータ列を1水平期間に上記制御信号によりラインメモリ；P10に書き込む。次の水平期間に各色毎のラインメモリ；P10を書き込みの場合の3倍の周波数で読み出し有効にすることでT105のような1水平期間あたり720個の輝度データ列を得る。

#### 【0068】

X、Yドライバタイミング発生部P1001は、MPU；P11からドライバ出力制御信号を、Yドライバ制御タイミング発生部P19とXドライバ制御タイミング発生部からの制御信号を受けXドライバ制御のために必要な信号を出力する。この必要な信号とは、P22からの輝度データをシフトレジスタ；P1101に読み込むためのPWMデータシフト制御信号としてのシフトクロックと、P1201からの補正データをシフトレジスタ；P1107に読み込むための補正データシフト制御信号としてのシフトクロック、シフトレジスタP1101、1107に読み込んだデータをPWMジェネレータ部；P1102とD/A部；P1103内に非図示のメモリ手段にフェッチするため及びPWMジェネレータ部；P1102とD/A部；P1103へ、PWM制御信号、D/A制御信号として、水平周期のトリガ及び、PWMのスタートトリガとして作用する～LD/S Tパルスである。

#### 【0069】

又、X、Yドライバタイミング発生部P1001からはP1102のPWMジェネレータのPWM出力部のゲートを制御するPWM制御信号と、P1103のD/AのD/A出力部のゲートを制御するD/A制御信号が出力される。ここで、PWM制御信号およびD/A制御信号は、ONされないと、P1102のPWMジェネレータおよびP1103のD/Aからは信号が出力されない。

#### 【0070】

又、補正テーブルROM制御信号が出力される。

#### 【0071】

又、X、Yドライバタイミング発生部P1001からブリドライバ部の、行配線の選択時にFET手段に信号を出力する部分のゲートを制御するYout制御信号を出力する。Yout制御信号がOFFの場合は、行配線は、全て非選択時の電位が印加されたままである。

#### 【0072】

シフトレジスタ；P1101は、ラッチ手段；P22からの水平周期毎の720個の列配線数の輝度データ列をX、Yドライバタイミング発生部P1001からの図SQ2T107のような輝度データに同期したシフトクロックにより読み込み、T108のような～LD/STパルスの“L”レベルによりPWMジェネレータ部；P1102に720個の1水平列分のデータを一度に転送する。

#### 【0073】

シフトレジスタ；P1107は、データセクタ手段；P1201からの水平周期毎の720個の列配線数の列配線駆動電流データ列を輝度データ同様にシフトクロックにより読み込み、T108のような～LD/STパルスの“L”レベルによりD/A部P1103に720個の1水平列分のデータを一度に転送する。

#### 【0074】

X、Yドライバタイミング発生部P1001からP1102のPWMDENに、PWM制御信号がONされない時は、P1102のPWMジェネレータからは信号が出力されず、PWM制御信号がONされると、P1102のPWMジェネレータからPWM出力が、スイッチ手段；P1104に出力される。また、X、Yドライバタイミング発生部P1001からP1103のD/Aに、D/A制御信号がONされない時は、P1103のD/A部からは電流出力がされず、D/A制御信号がONされると、P1103のD/Aから電流出力が、スイッチ手段；P1104に出力される。

#### 【0075】

補正テーブルROM；P1202は、表示パネル；P2000の720\*240個の各表面伝導型素子に流すべき電流振幅値のデータをR、G、B毎に記憶するためのメモリ手段であり、X、Yドライバタイミング発生部P1001からの

補正テーブルROM制御信号により読み出しアドレス制御を受け、水平周期毎に図5に示しT105のような走査される1行分の720個の電流振幅値のデータを出力する。

【0076】

補正テーブルROM；P1202を用いてこの列配線（すなわち表面伝導型素子）を駆動する電流値を各素子毎に最適な値に設定することにより、輝度の均一性を非常に良くできる。

【0077】

また、低コスト化などの目的で補正テーブルROM；P1202を使用しない場合のためにデータセクタ手段；P1201が備えられており、MPU；P11を中心に構成されるシステムコントロール部の制御入出力のひとつであるI/O制御部；P13から出力される補正設定データを同I/O制御部；P13からの切り替え信号によりシフトレジスタ；P1107に出力する。

【0078】

ここでは、補正データに対して、電流振幅で制御するようにしているが、もちろん、電圧振幅で制御する回路であってもかまわない。

【0079】

各列配線毎に備えられるPWMジェネレータ部；P1102は、図SQ2T108の～LD/STパルスの“L”レベルにシフトレジスタ；P1101からの輝度データを受け、～LD/STパルスの立ち上がり後に図SQ2T110に示す波形のように水平周期毎にデータの大きさに比例したパルス幅を有するパルス信号を発生する。

【0080】

各列配線毎に備えられるD/A部；P1103は電流出力のデジタルアナログ変換機でありシフトレジスタ；P1107からの電流振幅値のデータを受け、図SQ2T111に示す波形のように水平周期毎にデータの大きさに比例した電流振幅を有する駆動電流を発生する。

【0081】

P1104はトランジスタなどで構成されるスイッチ手段であり、D/A部；

P1103からの電流出力をPWMジェネレータ部；P1102からの出力が有効な期間列配線に印加し、PWMジェネレータ部；P1102からの出力が無効な期間は列配線を接地する。図SQ2T111に列配線駆動波形の一例を示す。

【0082】

列配線毎に備えられるダイオード手段；P1105は、コモン側がVmaxレギュレータ；P1106に接続される。Vmaxレギュレータ；P1106は電流吸い込みが可能な定電圧源でありダイオード手段；P1105と合わせて、表示パネル；P2000の720\*240個の各表面伝導型素子に過電圧が印加されるのを防止する保護回路を形成する。

【0083】

この保護電圧（Vmaxと行配線の走査選択時に印加される-Vssで規定される電位）は、MPU；P11を中心に構成されるシステムコントロール部の制御入出力のひとつであるD/A部；P14により与えられる。

【0084】

従い素子過電圧防止の他、輝度制御の目的でVmax電位（もしくは-Vss電位）を変化させることも可能である。

【0085】

Yシフトレジスタ部は、X、Yドライバタイミング発生部P1001からの水平周期のシフトクロック及び行走査開始トリガを与えるための垂直周期のトリガ信号を受け行配線を走査するための選択信号を各行配線毎に備えられるプリドライバ部に順に出力する。

【0086】

X、Yドライバタイミング発生部P1001からプリドライバ部にOFF信号が入力された状態では、FET手段に信号を出力する部分のゲートがOFF状態となり、全て非選択時の電位が印加されたままである。X、Yドライバタイミング発生部P1001からプリドライバ部にON信号が入力されると、FET手段に信号を出力する部分のゲートがON状態となり、行選択が開始される。

【0087】

各行配線を駆動する出力部は例えばトランジスタ手段、FET手段、ダイオー

ド手段から構成される。プリドライバ部はこの出力部を応答良く駆動するためのものである。また、プリドライバ部には、FET手段への出力を制御するゲート回路が設けてある。FET手段は行選択時に導通するスイッチ手段で選択時に定電圧レギュレータ部からの $-V_{ss}$ 電位を行配線に印加する。トランジスタ手段は行非選択時に導通するスイッチ手段で非選択時に定電圧レギュレータ部からの $V_{us0}$ 電位を行配線に印加する。図5に示したT112は行配線駆動波形の一例である。

#### 【0088】

図6は、以上説明した画像表示装置の電源供給ライン配置図である。図6に示すように、ビデオ・制御回路用電源はラインL1により、制御回路P11及びビデオ回路に給電する。ここで、ビデオ回路は上述した通り、画像信号入力(Video In)に基づいて、X、Yドライバタイミング発生回路P1001に制御信号を送出するとともに、ラッチ手段P22に画像データを送出する回路である。又、ドライバ回路用電源はラインL2により、変調回路に給電する。ここで、変調回路は上述したとおり、X、Yドライバタイミング発生回路P1001の出力、ラッチ手段P22の出力及びデータセクタP1201の出力とを入力して、表示パネルP2000の列方向データパラレルに出力する回路である。又、高圧電源はラインL3により、表示パネルP2000に高電圧 $V_a$ を供給する。又、コンデンサや電池等の補助電源はラインL4により、制御回路P11及びビデオ回路に給電する。又、電源回路P24には電源監視回路P25が接続されている。

#### 【0089】

又、図7は、以上説明した画像表示装置の電源供給を制御する制御信号系統図である。図7に示すように、制御回路P11は、ビデオ回路、電源回路、走査回路、及び変調回路を制御する。

#### 【0090】

更に、図8は 電源回路P24及び電源監視回路P25の回路図である。

#### 【0091】

図8に示す回路は、電源回路P24に緊急停止機能を持たせるための回路であ

り、外部 AC 電源を各回路に必要な DC 電源に変換する電源 P 2 4 と、電源 P 2 4 の電圧を測定し、規定電位外になった場合に、電源リセット信号を MPU ; P 1 1 に出力する電源監視回路 P 2 5 と、電源が切断した場合、下記の緊急停止手順が完了する間、各回路に電源を供給するための補助電源 P 2 6 とを含んでいる。

#### 【0092】

ここでは、補助電源 P 2 6 は、コンデンサで構成されているが、電池で構成しても構わない。また、ここでは、電源監視回路 P 2 5 は、抵抗で、電圧分割し、ティピカル値として 5 V になるように、抵抗が構成され、3.5 V 以下もしくは、6 V 以上になると電源リセット信号が MPU ; P 1 1 に出力するように設定されている。

#### 【0093】

-V<sub>ss</sub> と V<sub>us</sub> o 電位を発生する図示しない定電圧レギュレータ部は MPU ; P 1 1 を中心に構成されるシステムコントロール部の制御入出力のひとつである D/A 部 ; P 1 4 により制御される。

#### 【0094】

また図示しない高圧電源部も同様に MPU ; P 1 1 を中心に構成されるシステムコントロール部の制御入出力のひとつである D/A 部 ; P 1 4 により制御される。

#### 【0095】

ここで、V<sub>us</sub> o 電位は、0 V でもよく、その場合は、V<sub>us</sub> o 電位を発生する定電圧レギュレータ部は、GND 回路に置き換えることができる。

#### 【0096】

次に、本実施形態の、電源 ON 時の手順を図 9 のフローチャートを用いて説明する。

#### 【0097】

次に、本実施形態の、電源 ON 時の手順を図 9 のフローチャートを用いて説明する。

#### 【0098】

ステップ S 1 において、ユーザー SW 手段 ; P 1 8 の 1 つである電源スイッチが ON されると、ステップ S 2 において、各回路の電源が ON され各回路が起動しはじめる。

#### 【0099】

次に、ステップ S 3 において、電源が ON された直後は、X, Y ドライバタイミング発生部 P 1 0 0 1 の PWM ジェネレータに出力される PWM 制御信号は、OFF のままであり、P 1 1 0 2 の PWM ジェネレータの出力はゲートが OFF のままであり、PWM 信号がパネルに印加されることはない。それにより、電源 ON 時には、シフトレジスタ内のデータが確定していないけれども、表示パネル ; P 2 0 0 0 の表面伝導型素子 ; P 2 0 0 1 に駆動信号が印加されることはなく、電源 ON 時の不確定な信号により生じる素子の劣化・破壊を防ぐことができる。

#### 【0100】

一方、ステップ S 2 において、システムコントロール部が、起動しはじめると、ステップ S 5 において、システムコントロール部の MPU ; P 1 1 が、画像の垂直同期信号をカウントし始める。これは、電源 ON 直後には、シフトレジスタ内のデータが確定しておらず、MPU ; P 1 1 が、シフトレジスタのデータが安定する時間まで、垂直同期信号をカウントする。ここでは、カウント数が 3 回でシフトレジスタが十分安定する。すなわち、カウント数が 3 のシフトレジスタが安した状態になっている時間に達すると、ステップ S 6 において P 1 1 0 2 の PWM ジェネレータの制御をオンし、ステップ S 7 において、X, Y ドライバタイミング発生部 P 1 0 0 1 から、P 1 1 0 2 の PWM ジェネレータに、PWM 制御信号として ON 信号が出力され、PWM ジェネレータのゲートが ON され、PWM 出力が、スイッチ手段 ; P 1 1 0 4 を介して、表示パネル ; P 2 0 0 0 の表面伝導型素子 ; P 2 0 0 1 に印加される。

#### 【0101】

また、ステップ S 5 において、カウント数が 3 のシフトレジスタが安定した状態になっている時間に達すると、ステップ S 8 において、MPU ; P 1 1 から P 1 4 の D/A 部に、高圧電位を 0 V から設定値（ここでは、5 ~ 10 kV）に制



御する信号が高圧電源部；P30に入力され、ステップS9において、それにより高圧電源部；P30の出力が、設定値（ここでは、5～10kV）になる。

#### 【0102】

電源スイッチがONされると、以上の手順により、表示パネル；P2000の表面伝導型素子；P2001へ不確定な信号で素子を劣化・破壊することなく、各信号が印加される。

#### 【0103】

本実施形態においては、シフトレジスタのデータが安定するのを、予め測定し、垂直同期信号をカウントし、そのカウント値が3に達したら、次の手順を実行するようにしているが、この遅延時間は、シフトレジスタのデータが安定する時間に依存し、必ずしも、この時間に制限を受けるものではない。また、本実施形態においては、垂直同期信号を基準に遅延時間を計算したが、水平同期信号をもとに計算しても、遅延用のタイマーを取りつけてもよく、遅延の方法については、限定されるものではない。更に、本実施形態においては、駆動回路部の出力制御をX，Yドライバタイミング発生部P1001から、ゲート信号が出力されているが、これに制限されることなく、たとえば、システムコントロール部のMPU；P11を用いてもよく、また、その他の制御系を用いてもよい。

#### 【0104】

また、ステップS7における輝度データのPWM出力に替えて、輝度データを振幅変調し、補正データをPWM出力する回路構成においても、同様の手順で電源ONを行なうことができる。

#### 【0105】

##### 〔実施形態2〕

本実施形態は、第1の実施形態と同じ構成で、電源ON時の手順が異なるものである。実施形態2の電源ON時の手順を図10のフローチャートを用いて説明する。

#### 【0106】

ユーザーSW手段；P18の1つである電源スイッチがONされると（ステップS11）、各回路の電源がONされ各回路が起動しはじめる（ステップS12

）。電源がONされた直後は、X、Yドライバタイミング発生部P1001からP1103のD/A部に出力されるD/A制御信号は、OFFのままであり（ステップS3）、P1103のD/A部の出力はゲートがOFFのままであり、補正データに応じた設定電流値がパネルに印加されることはない。それにより、電源ON時には、シフトレジスタ内のデータが確定していないけれども、表示パネル；P2000の表面伝導型素子；P2001に駆動信号が印加されることはなく、電源ON時の不確定な信号により生じる素子の劣化・破壊を防ぐことができる。

#### 【0107】

又、システムコントロール部が、起動しはじめると（ステップS12）、システムコントロール部のMPU；P11が、画像の垂直同期信号をカウントし始める。これは、電源ON直後には、シフトレジスタ内のデータが確定しておらず、MPU；P11が、シフトレジスタのデータが安定する時間まで、垂直同期信号をカウントする。ここでは、カウント数が3回でシフトレジスタが十分安定する。

#### 【0108】

すなわち、カウント数が3のシフトレジスタが安定した状態になっている時間に達すると（ステップS15）、X、Yドライバタイミング発生部P1001から、P1103のD/A部に、D/A制御信号としてON信号が出力され（ステップS16）、D/A部；P1103のゲートがONされ、設定電流値が、スイッチ手段；1104を介して、表示パネル；P2000の表面伝導型素子；P2001に印加される。

#### 【0109】

また、カウント数が3のシフトレジスタが安定した状態になっている時間に達する（ステップS15）、MPU；P11からP14のD/A部に、高圧電位を0Vから設定値（ここでは、5～10kV）に制御する信号が高圧電源部；P30に入力され（ステップS18）、それにより高圧電源部；P30の出力が、設定値（ここでは、5～10kV）になる（ステップS19）。

#### 【0110】

電源スイッチがONされると、以上の手順により、表示パネル；P2000の表面伝導型素子；P2001へ不確定な信号で素子を劣化・破壊することなく、各信号が印加される。

#### 【0111】

本実施形態においては、シフトレジスタのデータが安定するのを、予め測定し、垂直同期信号をカウントし、そのカウント値が3に達したら、次の手順を実行するようにしているが、この遅延時間は、シフトレジスタのデータが安定する時間に依存し、必ずしも、この時間に制限を受けるものではない。また、本実施形態においては、垂直同期信号を基準に遅延時間を計算したが、水平同期信号をもとに計算しても、遅延用のタイマーを取りつけてもよく、遅延の方法については、限定されるものではない。更に、本実施形態においては、駆動回路部の出力制御をX，Yドライバタイミング発生部PIOOIから、ゲート信号が出力されているが、これに制限されることなく、たとえば、システムコントロール部のMPU；P11を用いてもよく、また、その他の制御系を用いてもよい。

#### 【0112】

また、ステップS17における補正值のD/A出力に替えて、輝度データを振幅変調し、補正データをPWM出力する回路構成においても、同様の手順で電源ONを行なうことができる。

#### 【0113】

##### 〔実施形態3〕

本実施形態は、第1の実施形態と同じ構成で、電源ON時の手順が異なるものである。実施形態3の電源ON時の手順を図11を用いて説明する。

##### 1)

ユーザーSW手段；P18の1つである電源スイッチがONされると（ステップS21）、各回路の電源がONされ各回路が起動しはじめる（ステップS22）。電源がONされた直後は、X，Yドライバタイミング発生部PIOOIからP1102のPWMヘジネレータに出力されるPWM制御信号とX，Yドライバタイミング発生部PIOOIからP1103のD/A部に出力されるD/A制御信号は、それぞれOFFのままであり（ステップS23）、P1102のPW

Mジェネレータの出力はゲートがOFFのままであり、PWM信号がパネルに印加されることはないし、P1103のD/A部の出力はゲートがOFFのままであり、補正データに応じた設定電流値がパネルに印加されることはない。それにより、電源ON時には、シフトレジスタ内のデータが確定していないけれども、表示パネル；P2000の表面伝導型素子；P2001に駆動信号が印加されることはなく、電源ON時の不確定な信号により生じる素子の劣化・破壊を防ぐことができる。

## 【0114】

又、システムコントロール部が、起動しはじめると（ステップS22）、システムコントロール部のMPU；P11が、画像の垂直同期信号をカウントし始める。これは、電源ON直後には、シフトレジスタ内のデータが確定しておらず、MPU；P11が、シフトレジスタのデータが安定する時間まで、垂直同期信号をカウントする。ここでは、カウント数が3回でシフトレジスタが十分安定する。

## 【0115】

すなわち、カウント数が3のシフトレジスタが安定した状態になっている時間に達すると（ステップS25）、X、Yドライバタイミング発生部PIOOIから、P1102のPWMジェネレータに、PWM制御信号としてON信号が出力されるとともに、X、Yドライバタイミング発生部PIOOIから、P1103のD/A部に、D/A制御信号としてON信号が出力され（ステップS26）、PWMジェネレータのゲートがONされるとともに、D/A部；P1103のゲートがONされ、PWM出力と設定電流値が、スイッチ手段；1104を介して、表示パネル；P2000の表面伝導型素子；P2001に印加される。

## 【0116】

また、カウント数が3のシフトレジスタが安定した状態になっている時間に達すると（ステップS25）、MPU；P11からP14のD/A部に、高圧電位を0Vから設定値（ここでは、5～10kV）に制御する信号が高圧電源部；P30に入力され（ステップS28）、それにより高圧電源部；P30の出力が、設定値（ここでは、5～10kV）になる（ステップS29）。

## 【0117】

電源スイッチがONされると、以上の手順により、表示パネル；P2000の表面伝導型素子；P2001へ不確定な信号で素子を劣化・破壊することなく、各信号が印加される。

## 【0118】

本実施形態においては、シフトレジスタのデータが安定するのを、予め測定し、垂直同期信号をカウントし、そのカウント値が3に達したら、次の手順を実行するようにしているが、この遅延時間は、シフトレジスタのデータが安定する時間に依存し、必ずしも、この時間に制限を受けるものではない。また、本実施形態においては、垂直同期信号を基準に遅延時間を計算したが、水平同期信号をもとに計算しても、遅延用のタイマーを取りつけてもよく、遅延の方法については、限定されるものではない。更に、本実施形態においては、駆動回路部の出力制御をX、Yドライバタイミング発生部P1001から、ゲート信号が出力されているが、これに制限されることなく、たとえば、システムコントロール部のMPU；P11を用いてもよく、また、その他の制御系を用いてもよい。

## 【0119】

また、ステップS27における補正値のD/A出力に替えて、輝度データを振幅変調し、補正データをPWM出力する回路構成においても、同様の手順で電源ONを行なうことができる。

## 【0120】

## 〔実施形態4〕

本実施形態は、第1の実施形態と同じ構成で、電源ON時の手順が異なるものである。実施形態4の電源ON時の手順を図12を用いて説明する。

1) ユーザーSW手段；P18の1つである電源スイッチがONされると（ステップS31）、各回路の電源がONされ各回路が起動しはじめる（ステップS32）。電源がONされた直後は、X、Yドライバタイミング発生部P1001からプリドライバに出力されるYout制御信号は、OFFのままであり（ステップS33）、プリドライバのFET手段への出力はゲートがOFFのままであり、行配線側は、非選択状態のままとなり、選択電圧がパネルに印加されること

はない。それにより、電源ON時には、シフトレジスタ内のデータが確定していないけれども、表示パネル；P2000の表面伝導型素子；P2001に走査時の選択電位が印加されることはなく、電源ON時の不確定な信号により生じる素子の劣化・破壊を防ぐことができる。

#### 【0121】

又、システムコントロール部が、起動しはじめると（ステップS32）、システムコントロール部のMPU；P11が、画像の垂直同期信号をカウントし始める。これは、電源ON直後には、シフトレジスタ内のデータが確定しておらず、MPU；P11が、シフトレジスタのデータが安定する時間まで、垂直同期信号をカウントする。ここでは、カウント数が3回でシフトレジスタが十分安定する。

#### 【0122】

すなわち、カウント数が3のシフトレジスタが安定した状態になっている時間に達すると（ステップS35）、X、Yドライバタイミング発生部P1001から、プリドライバに、Yout制御信号としてON信号が出力され（ステップS36）、FET手段に信号を出力する部分のゲートがON状態となり、行選択が開始される。

#### 【0123】

また、カウント数が3のシフトレジスタが安定した状態になっている時間に達する（ステップS35）、MPU；P11からP14のD/A部に、高圧電位を0Vから設定値（ここでは、5～10kV）に制御する信号が高圧電源部；P30に入力され（ステップS38）、それにより高圧電源部；P30の出力が、設定値（ここでは、5～10kV）になる（ステップS39）。

#### 【0124】

電源スイッチがONされると、以上の手順により、表示パネル；P2000の表面伝導型素子；P2001へ不確定な信号で素子を劣化・破壊することなく、各信号が印加される。

#### 【0125】

本実施形態においては、シフトレジスタのデータが安定するのを、予め測定し

、垂直同期信号をカウントし、そのカウント値が3に達したら、次の手順を実行するようにしているが、この遅延時間は、シフトレジスタのデータが安定する時間に依存し、必ずしも、この時間に制限を受けるものではない。また、本実施形態においては、垂直同期信号を基準に遅延時間を計算したが、水平同期信号をもとに計算しても、遅延用のタイマーを取りつけてもよく、遅延の方法については、限定されるものではない。更に、本実施形態においては、駆動回路部の出力制御をX、Yドライバタイミング発生部P1001から、ゲート信号が出力されているが、これに制限されることなく、たとえば、システムコントロール部のMPU; P11を用いてもよく、また、その他の制御系を用いてもよい。

また、ステップS37におけるY出力に替えて、輝度データを振幅変調し、補正データをPWM出力する回路構成においても、同様の手順で電源ONを行なうことができる。

#### 【0126】

電源ON時に、実施形態1～3で変調信号側を、実施形態4で走査信号側をシフトレジスタのデータが安定する出力を停止する説明を行なったが、変調信号側と走査信号側の両方ともに停止してもよい。

#### 【0127】

##### 〔実施形態5〕

##### 電源電圧安定

本実施形態は、第1の実施形態と同じ構成で、電源ON時の手順が異なるものである。本実施形態は、電源ON時に、走査回路と変調回路の電源電圧が所望の値になるまで、走査回路の出力もしくは変調回路の出力のどちらか一方を止める手順を示すものである。実施形態5の電源ON時の手順を図13を用いて説明する。

#### 【0128】

ユーザーSW手段; P18の1つである電源スイッチがONされると(ステップS41)、各回路の電源がONされ各回路が起動しはじめる(ステップS42)。電源がONされた直後は、X、Yドライバタイミング発生部P1001からP1102のPWMヘジネレータに出力されるPWM制御信号は、OFFのま

まであり（ステップ S43）、P1102のPWMジェネレータの出力はゲートがOFFのままであり、PWM信号がパネルに印加されることはない。

【0129】

それにより、電源ON時には、行配線；P2002側の走査回路の電源電圧（V<sub>uso</sub>レギュレータと-V<sub>ss</sub>レギュレータの出力電圧）と列配線；P2003側の変調回路の電源電圧（V<sub>max</sub>レギュレータ；P1106の出力電圧）が所望の値に達していないけれども、表示パネル；P2000の表面伝導型素子；P2001に駆動信号が印加されることはなく、電源ON時の不確定な電源電圧により生じる素子の劣化・破壊を防ぐことができる。

【0130】

又、システムコントロール部が、起動しはじめると（ステップ S42）、システムコントロール部のMPU；P11が、画像の垂直同期信号をカウントし始める。これは、電源ON直後には、行配線；P2002側の走査回路の電源電圧（V<sub>uso</sub>レギュレータと-V<sub>ss</sub>レギュレータの出力電圧）と列配線；P2003側の変調回路の電源電圧（V<sub>max</sub>レギュレータ；P1106の出力電圧）が所望の値に達しておらず、MPU；P11が、走査回路と変調回路の電源電圧が所望の値に達する時間まで垂直同期信号をカウントする。ここでは、カウント数が3回で走査回路と変調回路の電源電圧が所望の値に達する。

【0131】

すなわち、カウント数が3の、行配線；P2002側の走査回路の電源電圧（V<sub>uso</sub>レギュレータと-V<sub>ss</sub>レギュレータ出力電圧）と列配線；P2003側の変調回路の電源電圧（V<sub>max</sub>レギュレータ；P1106の出力電圧）が所望の値に達する時間になると（ステップ S45）、X、Yドライバタイミング発生部PIOOIから、P1102のPWMジェネレータに、PWM制御信号としてON信号が出力され（ステップ S46）、PWMジェネレータのゲートがONされ、PWM出力が、スイッチ手段；1104を介して、表示パネル；P2000の表面伝導型素子；P2001に印加される。

【0132】

また、カウント数が3の、行配線；P2002側の走査回路の電源電圧（V<sub>u</sub>



s oレギュレータと-V s sレギュレータの出力電圧)と列配線; P 2 0 0 3 側の変調回路の電源電圧 (V m a xレギュレータ; P 1 1 0 6の出力電圧) が所望の値に達する時間になると (ステップ S 4 5)、M P U; P 1 1 から P 1 4 の D / A 部に、高圧電位を 0 V から設定値 (ここでは、5 ~ 1 0 k V) に制御する信号が高圧電源部; P 3 0 に入力され (ステップ S 4 8)、それにより高圧電源部; P 3 0 の出力が、設定値 (ここでは、5 ~ 1 0 k V) になる (ステップ S 4 9)。

#### 【0133】

電源スイッチが ON されると、以上の手順により、表示パネル; P 2 0 0 0 の表面伝導型素子; P 2 0 0 1 へ不確定な電源電圧で素子を劣化・破壊することなく、各信号が印加される。

#### 【0134】

本実施形態では、行配線; P 2 0 0 2 側の走査回路の電源電圧 (V u s oレギュレータと-V s sレギュレータの出力電圧)と列配線; P 2 0 0 3 側の変調回路の電源電圧 (V m a xレギュレータ; P 1 1 0 6の出力電圧) が所望の値に達するまで、PWM出力部; P 1 1 0 2 のゲートを OFF することで制御したが、電流振幅を制御する D / A 部; P 1 1 0 3 のゲートを OFF することで制御しても、また、行配線; P 2 0 0 2 側のブリドライバのゲートを OFF することで制御してもよい。

#### 【0135】

本実施形態においては、行配線; P 2 0 0 2 側の走査回路の電源電圧 (V u s oレギュレータと-V s sレギュレータの出力電圧)と列配線; P 2 0 0 3 側の変調回路の電源電圧 (V m a xレギュレータ; P 1 1 0 6の出力電圧) が所望の値に達する時間を、予め測定し、垂直同期信号をカウントし、そのカウント値が 3 に達したら、次の手順を実行するようにしているが、この遅延時間は、行配線; P 2 0 0 2 側の走査回路の電源電圧 (V u s oレギュレータと-V s sレギュレータの出力電圧)と列配線; P 2 0 0 3 側の変調回路の電源電圧 (V m a xレギュレータ; P 1 1 0 6の出力電圧) が所望の値に達する時間に依存し、必ずしも、この時間に制限を受けるものではない。また、本実施形態においては、垂直

同期信号を基準に遅延時間を計算したが、水平同期信号をもとに計算しても、遅延用のタイマーを取りつけてもよく、遅延の方法については、限定されるものではない。更に、本実施形態においては、駆動回路部の出力制御をX、Yドライバタイミング発生部P1001から、ゲート信号が出力されているが、これに制限されることなく、たとえば、システムコントロール部のMPU；P11を用いてもよく、また、その他の制御系を用いてもよい。

#### 【0136】

また、ステップs47における輝度データのPWM出力に替えて、輝度データを振幅変調し、補正データをPWM出力する回路構成においても、同様の手順で電源ONを行なうことができる。

#### 【0137】

##### 〔実施形態6〕

本実施形態は、第1の実施形態と同じ構成で、電源OFF時の手順を示すものである。実施形態6電源OFF時の手順を図14を用いて説明する。

#### 【0138】

ユーザーSW手段；P18の1つである電源スイッチがOFFされると（ステップS51）、I/O制御部；P13を介して、MPU；P11が電源停止信号が入力される（ステップS52）。

#### 【0139】

MPU；P11に電源停止信号が入力されると、MPU；P11からX、Yドライバタイミング発生部P1001にドライバ出力制御信号の停止信号が出力され、即座に、MPU；P11からX、Yドライバタイミング発生部P1001から、PWMジェネレータ；P1102のゲートをOFFする信号が出力される（ステップS53）。

#### 【0140】

そのゲートOFF信号により即座にPWM出力が停止する（ステップS54）。この状態になると、表示パネル；P2000の表面伝導型素子；P2001に駆動信号が印加されることはなく、電源停止時に、行配線；P2002側の走査回路の電源電圧（Vusレギュレータと-Vssレギュレータの出力電圧）と

列配線；P2003側の変調回路の電源電圧（Vmaxレギュレータ；P1106の出力電圧）がどのような不安定な電圧を出力しても、表示パネル；P2000の表面伝導型素子；P2001を劣化・破壊させることはない。

【0141】

MPU；P11からX，Yドライバタイミング発生部P1001から、PWMジェネレータ；P1102のゲートをOFFする信号が出力された（ステップS53）後で、駆動回路部とビデオ回路部の電源供給を停止し（ステップS55）、続いて、システムコントロール部の電源供給を停止する（ステップS56）。

【0142】

電源スイッチがOFFされると、以上の手順により、表示パネル；P2000の表面伝導型素子；P2001へ不確定な電源電圧で素子を劣化・破壊することなく、電源供給が停止される。

【0143】

本実施形態では、電源OFFされると、即座にPWM出力部；P1102のゲートをOFFすることで制御したが、電流振幅を制御するD/A部；P1103のゲートをOFFすることで制御しても、また、行配線；P2002側のプリドライバのゲートをOFFすることで制御してもよい。

【0144】

本実施形態においては、駆動回路部の出力制御をX，Yドライバタイミング発生部PIOOIから、ゲート信号が出力されているが、これに制限されることなく、たとえば、システムコントロール部のMPU；P11を用いてもよく、また、その他の制御系を用いてもよい。

【0145】

また、輝度データを振幅変調し、補正データをPWM出力する回路構成においても、同様の手順で電源OFFを行なうことができる。

【0146】

〔実施形態7〕

本実施形態は、第1の実施形態と同じ構成で、コンセントが引き抜かれたり、停電時などの電源緊急停止時の手順を示したものである。第1の実施形態の構成

において、コンセントが引き抜かれたり、停電時に電源を緊急停止するためには、図8に示したような緊急停止回路が必用である。実施形態7の電源停止時の手順を図15を用いて説明する。

【0147】

コンセントが引き抜かれたり、停電したりする（ステップS61）と、電源監視回路；P25で、電圧異常が観測され（ステップS62）、電源監視回路；P25からMPU；P11に電源リセット信号が出力される（ステップS63）。

【0148】

電源監視回路；P25からMPU；P11に電源リセット信号が入力されると、MPU；P11からX、Yドライバタイミング発生部P1001にドライバ出力制御信号の停止信号が出力され、即座に、MPU；P11からX、Yドライバタイミング発生部P1001から、PWMジェネレータ；P1102のゲートをOFFする信号が出力される（ステップS64）。

【0149】

そのゲートOFF信号により即座にPWM出力が停止する（ステップS65）。この状態になると、表示パネル；P2000の表面伝導型素子；P2001に駆動信号が印加されることはなく、電源停止時に、行配線；P2002側の走査回路の電源電圧（ $V_{us}$ レギュレータと $-V_{ss}$ レギュレータの出力電圧）と列配線；P2003側の変調回路の電源電圧（ $V_{max}$ レギュレータ；P1106の出力電圧）がどのような不安定な電圧を出力しても、表示パネル；P2000の表面伝導型素子；P2001を劣化・破壊させることはない。

【0150】

MPU；P11からX、Yドライバタイミング発生部P1001から、PWMジェネレータ；P1102のゲートをOFFする信号が出力された（ステップS64）後で、全回路の電源供給を停止する（ステップS67）。

【0151】

上記の手順のうち、少なくとも⑤が完了する間、補助電源；P26は、電源供給を行なっている。

【0152】

電源が緊急停止されると、以上の手順により、表示パネル；P2000の表面伝導型素子；P2001へ不確定な電源電圧で素子を劣化・破壊することなく、電源供給が停止される。

【0153】

本実施形態では、電源OFFされると、即座にPWM出力部；P1102のゲートをOFFすることで制御したが、電流振幅を制御するD/A部；P1103のゲートをOFFすることで制御しても、また、行配線；P2002側のプリドライバのゲートをOFFすることで制御してもよい。

【0154】

本実施形態においては、駆動回路部の出力制御をX、Yドライバタイミング発生部P1001から、ゲート信号が出力されているが、これに制限されることなく、たとえば、システムコントロール部のMPU；P11を用いてもよく、また、その他の制御系を用いてもよい。

【0155】

また、輝度データを振幅変調し、補正データをPWM出力する回路構成においても、同様の手順で電源OFFを行なうことができる。

【0156】

以上、本発明の画像表示装置の制御方法について説明した。次に、画像表示装置について説明する。

【0157】

(表示パネルの構成と製造法)

まず、本発明を適用した画像表示装置の表示パネルの構成と製造法について、説明する。

【0158】

図16は、実施形態に用いた表示パネルの斜視図であり、内部構造を示すためにパネルの1部を切り欠いて示している。図16において、1005はリアプレート、1006は側壁、1007はフェースプレートであり、1005～1007により表示パネルの内部を真空中に維持するための気密容器を形成している。気密容器を組み立てるにあたっては、各部材の接合部に十分な強度と気密性を保持

させるため封着する必要があるが、たとえばフリットガラスを接合部に塗布し、大気中あるいは窒素雰囲気中で、摂氏400～500度で10分以上焼成することにより封着を達成した。気密容器内部を真空中に排気する方法については後述する。

#### 【0159】

リアプレート1005には、基板1001が固定されているが、該基板上には冷陰極素子1002が $n \times m$ 個形成されている。（ $n$ 、 $m$ は2以上の正の整数であり、目的とする表示画素数に応じて適宜設定される。たとえば、高品位テレビジョンの表示を目的とした表示装置においては、 $n=3000$ 、 $m=1000$ 以上の数を設定することが望ましい。本実施形態においては、 $n=3072$ 、 $m=1024$ とした。）前記 $n \times m$ 個の冷陰極素子は、 $m$ 本の行方向配線1003と $n$ 本の列方向配線1004により単純マトリクス配線されている。前記、1001～1004によって構成される部分をマルチ電子ビーム源と呼ぶ。なお、マルチ電子ビーム源の製造方法や構造については、後で詳しく述べる。

#### 【0160】

図16においては、気密容器のリアプレート1005にマルチ電子ビーム源の基板1001を固定する構成としたが、マルチ電子ビーム源の基板1001が十分な強度を有するものである場合には、気密容器のリアプレートとしてマルチ電子ビーム源の基板1001自体を用いてもよい。

#### 【0161】

また、フェースプレート1007の下面には、蛍光膜1008が形成されている。蛍光膜1008によりカラー画像を表示するため、蛍光膜1008の部分にはCRTの分野で用いられる赤、緑、青、の3原色の蛍光体が塗り分けられている。各色の蛍光体は、たとえば図17（a）に示すようにストライプ状に塗り分けられ、蛍光体のストライプの間には黒色の導電体1010が設けてある。黒色の導電体1010を設ける目的は、電子ビームの照射位置に多少のずれがあっても表示色にずれが生じないようにする事や、外光の反射を防止して表示コントラストの低下を防ぐ事、電子ビームによる蛍光膜のチャージアップを防止する事などである。黒色の導電体1010には、黒鉛を主成分として用いたが、上記の目

的に適するものであればこれ以外の材料を用いても良い。

【0162】

また、3原色の蛍光体の塗り分け方は前記図17(a)に示したストライプ状の配列に限られるものではなく、たとえば図17(b)に示すようなデルタ状配列や、それ以外の配列であってもよい。

【0163】

なお、モノクロームの表示パネルを作成する場合には、単色の蛍光体材料を蛍光膜1008に用いればよく、また黒色導電材料は必ずしも用いなくともよい。

【0164】

また、蛍光膜1008のリアプレート側の面には、CRTの分野では公知のメタルバック1009を設けてある。メタルバック1009を設けた目的は、蛍光膜1008が発する光の一部を鏡面反射して光利用率を向上させる事や、負イオンの衝突から蛍光膜1008を保護する事や、電子ビーム加速電圧を印加するための電極として作用させる事や、蛍光膜1008を励起した電子の導電路として作用させる事などである。メタルバック1009は、蛍光膜1008をフェースプレート基板1007上に形成した後、蛍光膜表面を平滑化处理し、その上にAlを真空蒸着する方法により形成した。なお、蛍光膜1008に低電圧用の蛍光体材料を用いた場合には、メタルバック1009は用いない。

【0165】

また、加速電圧の印加用や蛍光膜の導電性向上を目的として、フェースプレート基板1007と蛍光膜1008との間に、たとえばITOを材料とする透明電極を設けてもよい。

【0166】

また、 $Dx1 \sim Dx m$ および $Dy1 \sim Dy n$ および $Hv$ は、当該表示パネルと不図示の電気回路とを電気的に接続するために設けた気密構造の電気接続用端子である。 $Dx1 \sim Dx m$ はマルチ電子ビーム源の行方向配線1003と、 $Dy1 \sim Dy n$ はマルチ電子ビーム源の列方向配線1004と、 $Hv$ はフェースプレートのメタルバック1009と電気的に接続している。

【0167】

また、気密容器内部を真空に排気するには、気密容器を組み立てた後、不図示の排気管と真空ポンプとを接続し、気密容器内を $10^{-7}$  [Torr] 程度の真空度まで排気する。その後、排気管を封止するが、気密容器内の真空度を維持するために、封止の直前あるいは封止後に気密容器内の所定の位置にゲッター膜（不図示）を形成する。ゲッター膜とは、たとえばBaを主成分とするゲッター材料をヒーターもしくは高周波加熱により加熱し蒸着して形成した膜であり、該ゲッター膜の吸着作用により気密容器内は $1 \times 10^{-5}$ ないしは $1 \times 10^{-7}$  [Torr] の真空度に維持される。

【0168】

（マルチ電子ビーム源の製造方法）

次に、前記実施形態の表示パネルに用いたマルチ電子ビーム源の製造方法について説明する。本発明の画像表示装置に用いるマルチ電子ビーム源は、冷陰極素子を単純マトリクス配線した電子源であれば、冷陰極素子の材料や形状あるいは製法に制限はない。したがって、たとえば表面伝導型放出素子やFE型、あるいはMIM型などの冷陰極素子を用いることができる。

【0169】

ただし、表示画面が大きくてしかも安価な表示装置が求められる状況のもとでは、これらの冷陰極素子の中でも、表面伝導型放出素子が特に好ましい。なすわち、FE型ではエミッタコーンとゲート電極の相対位置や形状が電子放出特性を大きく左右するため、極めて高精度の製造技術を必要とするが、これは大面積化や製造コストの低減を達成するには不利な要因となる。また、MIM型では、絶縁層と上電極の膜厚を薄くてしかも均一にする必要があるが、これも大面積化や製造コストの低減を達成するには不利な要因となる。

【0170】

その点、表面伝導型放出素子は、比較的製造方法が単純なため、大面積化や製造コストの低減が容易である。また、発明者らは、表面伝導型放出素子の中でも、電子放出部もしくはその周辺部を微粒子膜から形成したものがとりわけ電子放出特性に優れ、しかも製造が容易に行えることを見いだしている。したがって、高輝度で大画面の画像表示装置のマルチ電子ビーム源に用いるには、最も好適で



あると言える。

【0171】

そこで、本発明に好適な表面伝導型放出素子について基本的な構成と製造および特性を説明し、その後で多数の素子を単純マトリクス配線したマルチ電子ビーム源の構造について述べる。なお、以降では表面伝導型放出素子を用いた上述の画像表示装置のことをSED (Surface conduction electron Emitter Displayの略) と呼ぶこととする。

【0172】

(表面伝導型放出素子の好適な素子構成と製法)

電子放出部もしくはその周辺部を微粒子膜から形成する表面伝導型放出素子の代表的な構成には、平面型と垂直型の2種類があげられる。

【0173】

(平面型の表面伝導型放出素子)

まず最初に、平面型の表面伝導型放出素子の素子構成と製法について説明する。

【0174】

図18に示すのは、平面型の表面伝導型放出素子の構成を説明するための平面図(a)および断面図(b)である。図18において、1101は基板、1102と1103は素子電極、1104は導電性薄膜、1105は通電フォーミング処理により形成した電子放出部、1113は通電活性化処理により形成した薄膜である。

【0175】

基板1101としては、たとえば、石英ガラスや青板ガラスをはじめとする各種ガラス基板や、アルミナをはじめとする各種セラミクス基板、あるいは上述の各種基板上にたとえば $\text{SiO}_2$ を材料とする絶縁層を積層した基板、などを用いることができる。

【0176】

また、基板1101上に基板面と平行に対向して設けられた素子電極1102と1103は、導電性を有する材料によって形成されている。たとえば、Ni,

Cr, Au, Mo, W, Pt, Ti, Cu, Pd, Ag等をはじめとする金属、あるいはこれらの金属の合金、あるいは $\text{In}_2\text{O}_3$ - $\text{SnO}_2$ をはじめとする金属酸化物、ポリシリコンなどの半導体、などの中から適宜材料を選択して用いればよい。電極を形成するには、たとえば真空蒸着などの製膜技術とフォトリソグラフィ、エッチングなどのパターンニング技術を組み合わせて用いれば容易に形成できるが、それ以外の方法（たとえば印刷技術）を用いて形成してもさしつかえない。

#### 【0177】

素子電極1102と1103の形状は、当該電子放出素子の応用目的に合わせて適宜設計される。一般的には、電極間隔 $L$ は通常は数百オングストロームから数百マイクロメートルの範囲から適当な数値を選んで設計されるが、なかでも表示装置に応用するために好ましいのは数マイクロメートルより数十マイクロメートルの範囲である。また、素子電極の厚さ $d$ については、通常は数百オングストロームから数マイクロメートルの範囲から適当な数値が選ばれる。

#### 【0178】

また、導電性薄膜1104の部分には、微粒子膜を用いる。ここで述べた微粒子膜とは、構成要素として多数の微粒子を含んだ膜（島状の集合体も含む）のことをさす。微粒子膜を微視的に調べれば、通常は、個々の微粒子が離間して配置された構造か、あるいは微粒子が互いに隣接した構造か、あるいは微粒子が互いに重なり合った構造が観測される。

#### 【0179】

微粒子膜に用いた微粒子の粒径は、数オングストロームから数千オングストロームの範囲に含まれるものであるが、なかでも好ましいのは10オングストロームから200オングストロームの範囲のものである。また、微粒子膜の膜厚は、以下に述べるような諸条件を考慮して適宜設定される。すなわち、素子電極1102あるいは1103と電氣的に良好に接続するのに必要な条件、後述する通電フォーミングを良好に行うのに必要な条件、微粒子膜自身の電気抵抗を後述する適宜の値にするために必要な条件、などである。具体的には、数オングストロームから数千オングストロームの範囲のなかで設定するが、なかでも好ましいのは

10オングストロームから500オングストロームの間である。

【0180】

また、微粒子膜を形成するのに用いられうる材料としては、たとえば、Pd, Pt, Ru, Ag, Au, Ti, In, Cn, Cr, Fe, Zn, Sn, Ta, W, Pb, などをはじめとする金属や、PdO, SnO<sub>2</sub>, In<sub>2</sub>O<sub>3</sub>, PbO, Sb<sub>2</sub>O<sub>3</sub>, などをはじめとする酸化物や、HfB<sub>2</sub>, ZrB<sub>2</sub>, LaB<sub>6</sub>, CeB<sub>6</sub>, YB<sub>4</sub>, GdB<sub>4</sub>, などをはじめとする硼化物や、TiC, ZrC, HfC, TaC, SiC, WC, などをはじめとする炭化物や、TiN, ZrN, HfN, などをはじめとする窒化物や、Si, Ge, などをはじめとする半導体や、カーボン、などがあげられ、これらの中から適宜選択される。

【0181】

以上述べたように、導電性薄膜1104を微粒子膜で形成したが、そのシート抵抗値については、10<sup>3</sup>から10<sup>7</sup> [オーム/ sq] の範囲に含まれるよう設定した。

【0182】

なお、導電性薄膜1104と素子電極1102および1103とは、電氣的に良好に接続されるのが望ましいため、互いの一部が重なりあうような構造をとっている。その重なり方は、図18においては、下から、基板、素子電極、導電性薄膜の順序で積層したが、場合によっては下から基板、導電性薄膜、素子電極、の順序で積層してもさしつかえない。

【0183】

また、電子放出部1105は、導電性薄膜1104の一部に形成された亀裂状の部分であり、電氣的には周囲の導電性薄膜よりも高抵抗な性質を有している。亀裂は、導電性薄膜1104に対して、後述する通電フォーミングの処理を行うことにより形成する。亀裂内には、数オングストロームから数百オングストロームの粒径の微粒子を配置する場合がある。なお、実際の電子放出部の位置や形状や精密かつ正確に図示するのは困難なため、図3においては膜式的に示した。

【0184】

また、薄膜1113は、炭素もしくは炭素化合物よりなる薄膜で、電子放出部

1105およびその近傍を被覆している。薄膜1113は、通電フォーミング処理後に、後述する通電活性化の処理を行うことにより形成する。

【0185】

薄膜1113は、単結晶グラファイト、多結晶グラファイト、非晶質カーボン、のいずれかか、もしくはその混合物であり、膜厚は500 [オングストローム] 以下とするが、300 [オングストローム] 以下とするのがさらに好ましい。

【0186】

なお、実際の薄膜1113の位置や形状を精密に図示するのは困難なため、図3においては模式的に示した。また、図3(a)においては、薄膜1113の一部を除去した素子を図示した。

【0187】

以上、好ましい素子の基本構成を述べた。

【0188】

この電子放出素子においては、たとえば、基板1101には青板ガラスを用い、素子電極1102と1103にはNi薄膜を用いる。素子電極の厚さdは1000 [オングストローム]、電極間隔Lは2 [マイクロメートル] とする。

【0189】

微粒子膜の主要材料としてPdもしくはPdOを用い、微粒子膜の厚さは約100 [オングストローム]、幅Wは100 [オングストローム] とする。

【0190】

次に、好適な平面型の表面伝導型放出素子の製造方法について説明する。

【0191】

図19(a)～(d)は、表面伝導型放出素子の製造工程を説明するための断面図で、各部材の表記は前記図18と同一である。

【0192】

まず、図19(a)に示すように、基板1101上に素子電極1102および1103を形成する。形成するにあたっては、あらかじめ基板1101を洗剤、純水、有機溶剤を用いて十分に洗浄後、素子電極の材料を堆積させる。(堆積する方法としては、たとえば、蒸着法やスパッタ法などの真空成膜技術を用ればよ

い。)その後、堆積した電極材料を、フォトリソグラフィー・エッチング技術を用いてパターンニングし、(a)に示した一对の素子電極(1102と1103)を形成する。

#### 【0193】

次に、同図(b)に示すように、導電性薄膜1104を形成する。形成するにあたっては、まず前記(a)の基板に有機金属溶液を塗布して乾燥し、加熱焼成処理して微粒子膜を成膜した後、フォトリソグラフィー・エッチングにより所定の形状にパターンニングする。ここで、有機金属溶液とは、導電性薄膜に用いる微粒子の材料を主要元素とする有機金属化合物の溶液である。(具体的には、本実施形態では主要元素としてPdを用いた。また、実施形態では塗布方法として、ディッピング法を用いたが、それ以外のたとえばスピナー法やスプレー法を用いてもよい。)

また、微粒子膜で作られる導電性薄膜の成膜方法としては、本実施形態で用いた有機金属溶液の塗布による方法以外の、たとえば真空蒸着法やスパッタ法、あるいは化学的気相堆積法などを用いる場合もある。

#### 【0194】

次に、同図(c)に示すように、フォーミング用電源1110から素子電極1102と1103の間に適宜の電圧を印加し、通電フォーミング処理を行って、電子放出部1105を形成する。

#### 【0195】

通電フォーミング処理とは、微粒子膜で作られた導電性薄膜1104に通電を行って、その一部を適宜に破壊、変形、もしくは変質せしめ、電子放出を行うのに好適な構造に変化させる処理のことである。微粒子膜で作られた導電性薄膜のうち電子放出を行うのに好適な構造に変化した部分(すなわち電子放出部1105)においては、薄膜に適当な亀裂が形成されている。なお、電子放出部1105が形成される前と比較すると、形成された後は素子電極1102と1103の間で計測される電気抵抗は大幅に増加する。

#### 【0196】

図21には、通電方法をより詳しく説明するために、フォーミング用電源11

10から印加する適宜の電圧波形の一例を示す。微粒子膜で作られた導電性薄膜をフォーミングする場合には、パルス状の電圧が好ましく、同図に示したようにパルス幅 $T_1$ の三角波パルスをパルス間隔 $T_2$ で連続的に印加した。その際には、三角波パルスの波高値 $V_{pf}$ を、順次昇圧した。また、電子放出部1105の形成状況をモニターするためのモニターパルス $P_m$ を適宜の間隔で三角波パルスの間に挿入し、その際に流れる電流を電流計1111で計測した。

#### 【0197】

具体的には、たとえば $10^{-5}$  [torr] 程度の真空雰囲気下において、たとえばパルス幅 $T_1$ を1 [ミリ秒]、パルス間隔 $T_2$ を10 [ミリ秒]とし、波高値 $V_{pf}$ を1パルスごとに0.1 [V] ずつ昇圧した。そして、三角波を5パルス印加するたびに1回の割りで、モニターパルス $P_m$ を挿入した。フォーミング処理に悪影響を及ぼすことがないように、モニターパルスの電圧 $V_{pm}$ は0.1 [V] に設定した。そして、素子電極1102と1103の間の電気抵抗が $1 \times 10^6$  [オーム] になった段階、すなわちモニターパルス印加時に電流計1111で計測される電流が $1 \times 10^{-7}$  [A] 以下になった段階で、フォーミング処理にかかわる通電を終了した。

#### 【0198】

なお、上記の方法は、本実施形態の表面伝導型放出素子に関する好ましい方法であり、たとえば微粒子膜の材料や膜厚、あるいは素子電極間隔 $L$ など表面伝導型放出素子の設計を変更した場合には、それに応じて通電の条件を適宜変更するのが望ましい。

#### 【0199】

次に、図19 (d) に示すように、活性化用電源1112から素子電極1102と1103の間に適宜の電圧を印加し、通電活性化処理を行って、電子放出特性の改善を行う。

#### 【0200】

通電活性化処理とは、前記通電フォーミング処理により形成された電子放出部1105に適宜の条件で通電を行って、その近傍に炭素もしくは炭素化合物を堆積せしめる処理のことである。(図においては、炭素もしくは炭素化合物よりな

る堆積物を部材 1113 として模式的に示した。) なお、通電活性化処理を行うことにより、行う前と比較して、同じ印加電圧における放出電流を典型的には 100 倍以上に増加させることができる。

#### 【0201】

具体的には、 $10^{-4}$  ないし  $10^{-5}$  [torr] の範囲内の真空雰囲気中で、電圧パルスを定期的に印加することにより、真空雰囲気中に存在する有機化合物を起源とする炭素もしくは炭素化合物を堆積させる。堆積物 1113 は、単結晶グラファイト、多結晶グラファイト、非晶質カーボン、のいずれかか、もしくはその混合物であり、膜厚は 500 [オングストローム] 以下、より好ましくは 300 [オングストローム] 以下である。

#### 【0202】

図 21 (a) には、通電方法をより詳しく説明するために、活性化用電源 1112 から印加する適宜の電圧波形の一例を示す。具体的には、たとえば、矩形波の電圧  $V_{ac}$  は 14 [V]、パルス幅  $T_3$  は 1 [ミリ秒]、パルス間隔  $T_4$  は 10 [ミリ秒] とした。なお、上述の通電条件は、本実施形態の表面伝導型放出素子に関する好ましい条件であり、表面伝導型放出素子の設計を変更した場合には、それに応じて条件を適宜変更するのが望ましい。

#### 【0203】

図 19 (d) に示す 1114 は該表面伝導型放出素子から放出される放出電流  $I_e$  を捕捉するためのアノード電極で、直流高電圧電源 1115 および電流計 1116 が接続されている。(なお、基板 1101 を、表示パネルの中に組み込んでから活性化処理を行う場合には、表示パネルの蛍光面をアノード電極 1114 として用いる。)

活性化用電源 1112 から電圧を印加する間、電流計 1116 で放出電流  $I_e$  を計測して通電活性化処理の進行状況をモニターし、活性化用電源 1112 の動作を制御する。電流計 1116 で計測された放出電流  $I_e$  の一例を図 6 (b) に示すが、活性化電源 1112 からパルス電圧を印加しはじめると、時間の経過とともに放出電流  $I_e$  は増加するが、やがて飽和してほとんど増加しなくなる。このように、放出電流  $I_e$  がほぼ飽和した時点で活性化用電源 1112 からの電圧

印加を停止し、通電活性化処理を終了する。

【0204】

なお、上述の通電条件は、本実施形態の表面伝導型放出素子に関する好ましい条件であり、表面伝導型放出素子の設計を変更した場合には、それに応じて条件を適宜変更するのが望ましい。

【0205】

以上のようにして、図19(e)に示す平面型の表面伝導型放出素子を製造した。

【0206】

(垂直型の表面伝導型放出素子)

次に、電子放出部もしくはその周辺を微粒子膜から形成した表面伝導型放出素子のもうひとつの代表的な構成、すなわち垂直型の表面伝導型放出素子の構成について説明する。

【0207】

図22は、垂直型の基本構成を説明するための模式的な断面図であり、図中の1201は基板、1202と1203は素子電極、1206は段差形成部材、1204は微粒子膜を用いた導電性薄膜、1205は通電フォーミング処理により形成した電子放出部、1213は通電活性化処理により形成した薄膜、である。

【0208】

垂直型が先に説明した平面型と異なる点は、素子電極のうちの片方(1202)が段差形成部材1206上に設けられており、導電性薄膜1204が段差形成部材1206の側面を被覆している点にある。したがって、前記図18の平面型における素子電極間隔Lは、垂直型においては段差形成部材1206の段差高L<sub>s</sub>として設定される。なお、基板1201、素子電極1202および1203、微粒子膜を用いた導電性薄膜1204、については、前記平面型の説明中に列挙した材料を同様に用いることが可能である。また、段差形成部材1206には、たとえばSiO<sub>2</sub>のような電氣的に絶縁性の材料を用いる。

【0209】

次に、図23を参照して、垂直型の表面伝導型放出素子の製法について説明す



る。図 23 (a) ~ (f) は、製造工程を説明するための断面図で、各部材の表記は図 22 と同一である。

【0210】

まず、図 23 (a) に示すように、基板 1201 上に素子電極 1203 を形成する。

【0211】

次に、同図 (b) に示すように、段差形成部材を形成するための絶縁層を積層する。絶縁層は、たとえば  $\text{SiO}_2$  をスパッタ法で積層すればよいが、たとえば真空蒸着法や印刷法などの他の成膜方法を用いてもよい。

【0212】

次に、同図 (c) に示すように、絶縁層の上に素子電極 1202 を形成する。

【0213】

次に、同図 (d) に示すように、絶縁層の一部を、たとえばエッチング法を用いて除去し、素子電極 1203 を露出させる。

【0214】

次に、同図 (e) に示すように、微粒子膜を用いた導電性薄膜 1204 を形成する。形成するには、前記平面型の場合と同じく、たとえば塗布法などの成膜技術を用いればよい。

【0215】

次に、前記平面型の場合と同じく、通電フォーミング処理を行い、電子放出部を形成する。(図 4 (c) を用いて説明した平面型の通電フォーミング処理と同様の処理を行えばよい。)

次に、前記平面型の場合と同じく、通電活性化処理を行い、電子放出部近傍に炭素もしくは炭素化合物を堆積させる。(図 4 (d) を用いて説明した平面型の通電活性化処理と同様の処理を行えばよい。)

以上のようにして、図 23 (f) に示す垂直型の表面伝導型放出素子を製造した。

【0216】

(表示装置に用いた表面伝導型電子放出素子の特性)

次に表示装置に用いた表面伝導型電子放出素子の特性について述べる。

【0217】

図24に、表示装置に用いた素子の、（放出電流  $I_e$ ）対（素子印加電圧  $V_f$ ）特性、および（素子電流  $I_f$ ）対（素子印加電圧  $V_f$ ）特性の典型的な例を示す。なお、放出電流  $I_e$  は素子電流  $I_f$  に比べて著しく小さく、同一尺度で図示するのが困難であるうえ、これらの特性は素子の大きさや形状等の設計パラメータを変更することにより変化するものであるため、2本のグラフは各々任意単位で図示した。

【0218】

表示装置に用いた素子は、放出電流  $I_e$  に関して以下に述べる3つの特性を有している。

【0219】

第一に、ある電圧（これを閾値電圧  $V_{th}$  と呼ぶ）以上の大きさの電圧を素子に印加すると急激に放出電流  $I_e$  が増加するが、一方、閾値電圧  $V_{th}$  未満の電圧では放出電流  $I_e$  はほとんど検出されない。

【0220】

すなわち、放出電流  $I_e$  に関して、明確な閾値電圧  $V_{th}$  を持った非線形素子である。

【0221】

第二に、放出電流  $I_e$  は素子に印加する電圧  $V_f$  に依存して変化するため、電圧  $V_f$  で放出電流  $I_e$  の大きさを制御できる。

【0222】

第三に、素子に印加する電圧  $V_f$  に対して素子から放出される電流  $I_e$  の応答速度が速いため、電圧  $V_f$  を印加する時間の長さによって素子から放出される電子の電荷量を制御できる。

【0223】

以上のような特性を有するため、表面伝導型放出素子を表示装置に好適に用いることができた。たとえば多数の素子を表示画面の画素に対応して設けた表示装置において、第一の特性を利用すれば、表示画面を順次走査して表示を行うこと

が可能である。すなわち、駆動中の素子には所望の発光輝度に応じて閾値電圧  $V_{th}$  以上の電圧を適宜印加し、非選択状態の素子には閾値電圧  $V_{th}$  未満の電圧を印加する。駆動する素子を順次切り替えてゆくことにより、表示画面を順次走査して表示を行うことが可能である。

#### 【0224】

また、第二の特性かまたは第三の特性を利用することにより、発光輝度を制御することができるため、諧調表示を行うことが可能である。

#### 【0225】

さらに同図の補足であるが、素子電流  $I_f$  は放出電流と同様に下に凸の非線形な特性を有しているが、閾値電流  $V_{th}$  未満でも多少電流は流れる特性となっている。

#### 【0226】

(多数素子を単純マトリクス配線したマルチ電子ビーム源の構造)

次に、上述の表面伝導型放出素子を基板上に配列して単純マトリクス配線したマルチ電子ビーム源の構造について述べる。

#### 【0227】

図25に示すのは、図16の表示パネルに用いたマルチ電子ビーム源の平面図である。基板上には、前記図18で示したものと同様な表面伝導型放出素子が配列され、これらの素子は行方向配線電極1003と列方向配線電極1004により単純マトリクス状に配線されている。行方向配線電極1003と列方向配線電極1004の交差する部分には、電極間に絶縁層（不図示）が形成されており、電氣的な絶縁が保たれている。

#### 【0228】

図26は、図25のB-B'に沿った断面図である。

#### 【0229】

なお、このような構造のマルチ電子源は、あらかじめ基板上に行方向配線電極1003、列方向配線電極1004、電極間絶縁層（不図示）、および表面伝導型放出素子の素子電極と導電性薄膜を形成した後、行方向配線電極1003および列方向配線電極1004を介して各素子に給電して通電フォーミング処理と通

電活性化処理を行うことにより製造した。

【0230】

図27は、前記説明の表面伝導型放出素子を電子ビーム源として用いたディスプレイパネルのブロック図である。

【0231】

図中2100はディスプレイパネル、2101はディスプレイパネルの駆動回路、2102はディスプレイコントローラ、2103はマルチプレクサ、2104はデコーダ、2105は入出力インターフェース回路、2106はCPU、2107は画像生成回路、2108および2109および2110は画像メモリーインターフェース回路、2111は画像入力インターフェース回路、2112および2113はTV信号受信回路、2114は入力部である。（なお、本表示装置は、たとえばテレビジョン信号のように画像情報と音声情報の両方を含む信号を受信する場合には、当然画像の表示と同時に音声を再生するものであるが、本発明の特徴と直接関係しない音声情報の受信、分離、再生、処理、記憶などに関する回路やスピーカーなどについては説明を省略する。）

以下、画像信号の流れに沿って各部の機能を説明してゆく。

【0232】

まず、TV信号受信回路2113は、たとえば電波や空間光通信などのような無線伝送系を用いて伝送されるTV画像信号を受信する為の回路である。受信するTV信号の方式は特に限られるものではなく、たとえば、NTSC方式、PAL方式、SECAM方式などの諸方式でもよい。また、これらよりさらに多数の走査線よりなるTV信号（たとえばMUSE方式をはじめとするいわゆる高品位TV）は、大面積化や大画素数化に適した前記ディスプレイパネルの利点を生かすのに好適な信号源である。TV信号受信回路2113で受信されたTV信号は、デコーダ2104に出力される。

【0233】

また、TV信号受信回路2112は、たとえば同軸ケーブルや光ファイバーなどのような有線伝送系を用いて伝送されるTV画像信号を受信するための回路である。前記TV信号受信回路2113と同様に、受信するTV信号の方式は特に

限られるものではなく、また本回路で受信されたTV信号もデコーダ2104に出力される。

【0234】

また、画像入力インターフェース回路2111は、たとえばTVカメラや画像読み取りスキャナーなどの画像入力装置から供給される画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ2104に出力される。

【0235】

また、画像メモリーインターフェース回路2110は、ビデオテープレコーダー（以下VTRと略す）に記憶されている画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ2104に出力される。

【0236】

また、画像メモリーインターフェース回路2109は、ビデオディスクに記憶されている画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ2104に出力される。

【0237】

また、画像メモリーインターフェース回路2108は、いわゆる静止画ディスクのように、静止画像データを記憶している装置から画像信号を取り込むための回路で、取り込まれた静止画像データはデコーダ2104に出力される。

【0238】

また、入出力インターフェース回路2105は、本表示装置と、外部のコンピュータもしくはコンピュータネットワークもしくはプリンターなどの出力装置とを接続するための回路である。画像データや文字・図形情報の入出力を行うのはもちろんのこと、場合によっては本表示装置の備えるCPU2106と外部との間で制御信号や数値データの入出力などを行うことも可能である。

【0239】

また、画像生成回路2107は、前記入出力インターフェース回路2105を介して外部から入力される画像データや文字・図形情報や、あるいはCPU2106より出力される画像データや文字・図形情報にもとずき表示用画像データを生成するための回路である。本回路の内部には、たとえば画像データや文字・図

形情報を蓄積するための書き換え可能メモリーや、文字コードに対応する画像パターンが記憶されている読み出し専用メモリーや、画像処理を行うためのプロセッサなどをはじめとして画像の生成に必要な回路が組み込まれている。本回路により生成された表示用画像データは、デコーダ2104に出力されるが、場合によっては前記入出力インターフェース回路2105を介して外部のコンピュータネットワークやプリンターに出力することも可能である。

【0240】

また、CPU2106は、主として本表示装置の動作制御や、表示画像の生成や選択や編集に関わる作業を行う。

【0241】

たとえば、マルチプレクサ2103に制御信号を出力し、ディスプレイパネルに表示する画像信号を適宜選択したり組み合わせたりする。また、その際には表示する画像信号に応じてディスプレイパネルコントローラ2102に対して制御信号を発生し、画面表示周波数や走査方法（たとえばインターレースかノンインターレースか）や一画面の走査線の数など表示装置の動作を適宜制御する。また、前記画像生成回路2107に対して画像データや文字・図形情報を直接出力したり、あるいは前記入出力インターフェース回路2105を介して外部のコンピュータやメモリーをアクセスして画像データや文字・図形情報を入力する。

【0242】

なお、CPU2106は、むろんこれ以外の目的の作業にも関わるものであって良い。たとえば、パーソナルコンピュータやワードプロセッサなどのように、情報を生成したり処理する機能に直接関わっても良い。

【0243】

あるいは、前述したように入出力インターフェース回路2105を介して外部のコンピュータネットワークと接続し、たとえば数値計算などの作業を外部機器と協同して行っても良い。

【0244】

また、入力部2114は、前記CPU2106に使用者が命令やプログラム、あるいはデータなどを入力するためのものであり、たとえばキーボードやマウス

のほか、ジョイスティック、バーコードリーダー、音声認識装置など多様な入力機器を用いる事が可能である。

【0245】

また、デコーダ2104は、前記2107ないし2113より入力される種々の画像信号を3原色信号、または輝度信号とI信号、Q信号に逆変換するための回路である。なお、同図中に点線で示すように、デコーダ2104は内部に画像メモリーを備えるのが望ましい。これは、たとえばMUSE方式をはじめとして、逆変換するに際して画像メモリーを必要とするようなテレビ信号を扱うためである。また、画像メモリーを備える事により、静止画の表示が容易になる、あるいは前記画像生成回路2107およびCPU2106と協同して画像の間引き、補間、拡大、縮小、合成をはじめとする画像処理や編集が容易に行えるようになるという利点が生まれるからである。

【0246】

また、マルチプレクサ2103は、前記CPU2106より入力される制御信号にもとずき表示画像を適宜選択するものである。すなわち、マルチプレクサ2103はデコーダ2104から入力される逆変換された画像信号のうちから所望の画像信号を選択して駆動回路2101に出力する。その場合には、一画面表示時間内で画像信号を切り替えて選択することにより、いわゆる多画面テレビのように、一画面を複数の領域に分けて領域によって異なる画像を表示することも可能である。

【0247】

また、ディスプレイパネルコントローラ2102は、前記CPU2106より入力される制御信号にもとずき駆動回路2101の動作を制御するための回路である。

【0248】

まず、ディスプレイパネルの基本的な動作に関わるものとして、たとえばディスプレイパネルの駆動用電源（図示せず）の動作シーケンスを制御するための信号を駆動回路2101に対して出力する。

【0249】

また、ディスプレイパネルの駆動方法に関わるものとして、たとえば画面表示周波数や走査方法（たとえばインターレースかノンインターレースか）を制御するための信号を駆動回路 2101 に対して出力する。

#### 【0250】

また、場合によっては表示画像の輝度やコントラストや色調やシャープネスといった画質の調整に関わる制御信号を駆動回路 2101 に対して出力する場合もある。

#### 【0251】

また、駆動回路 2101 は、ディスプレイパネル 2100 に印加する駆動信号を発生するための回路であり、前記マルチプレクサ 2103 から入力される画像信号と、前記ディスプレイパネルコントローラ 2102 より入力される制御信号にもとずいて動作するものである。

#### 【0252】

以上、各部の機能を説明したが、図 12 に例示した構成により、本表示装置においては多様な画像情報源より入力される画像情報をディスプレイパネル 2100 に表示する事が可能である。

#### 【0253】

すなわち、テレビジョン放送をはじめとする各種の画像信号はデコーダ 2104 において逆変換された後、マルチプレクサ 2103 において適宜選択され、駆動回路 2101 に入力される。一方、ディスプレイコントローラ 2102 は、表示する画像信号に応じて駆動回路 2101 の動作を制御するための制御信号を発生する。駆動回路 2101 は、上記画像信号と制御信号にもとずいてディスプレイパネル 2100 に駆動信号を印加する。

#### 【0254】

これにより、ディスプレイパネル 2100 において画像が表示される。これらの一連の動作は、CPU 2106 により統括的に制御される。

#### 【0255】

また、本表示装置においては、前記デコーダ 2104 に内蔵する画像メモリや、画像生成回路 2107 および CPU 2106 が関与することにより、単に複数



の画像情報の中から選択したものを表示するだけでなく、表示する画像情報に対して、たとえば拡大、縮小、回転、移動、エッジ強調、間引き、補間、色変換、画像の縦横比変換などをはじめとする画像処理や、合成、消去、接続、入れ換え、はめ込みなどをはじめとする画像編集を行う事も可能である。また、本実施形態の説明では特に触れなかったが、上記画像処理や画像編集と同様に、音声情報に関しても処理や編集を行なうための専用回路を設けても良い。

#### 【0256】

したがって、本表示装置は、テレビジョン放送の表示機器、テレビ会議の端末機器、静止画像および動画像を扱う画像編集機器、コンピュータの端末機器、ワードプロセッサをはじめとする事務用端末機器、ゲーム機などの機能を一台で兼ね備えることが可能で、産業用あるいは民生用として極めて応用範囲が広い。

#### 【0257】

なお、上記図27は、表面伝導形放出素子を電子ビーム源とするディスプレイパネルを用いた表示装置の構成の一例を示したにすぎず、これのみに限定されるものでない事は言うまでもない。たとえば、図27の構成要素のうち使用目的上必要のない機能に関わる回路は省いても差し支えない。またこれとは逆に、使用目的によってはさらに構成要素を追加しても良い。たとえば、本表示装置をテレビ電話機として応用する場合には、テレビカメラ、音声マイク、照明機、モデムを含む送受信回路などを構成要素に追加するのが好適である。

#### 【0258】

本表示装置においては、とりわけ表面伝導型放出素子を電子ビーム源とするディスプレイパネルが容易に薄形化できるため、表示装置全体の奥行きを小さくすることが可能である。それに加えて、表面伝導型放出素子を電子ビーム源とするディスプレイパネルは大画面化が容易で輝度が高く視野角特性にも優れるため、本表示装置は臨場感にあふれ迫力に富んだ画像を視認性良く表示する事が可能である。

#### 【0259】

##### 【発明の効果】

以上説明した本発明によれば、電源投入、電源停止、電源緊急停止手順を実効

して、電源投入時、電源停止時、電源緊急停止時の不確定な信号及び不確定な電源電圧が各冷陰極素子に印加することをなくし、特性劣化が起こることを防ぐことができる。

【図面の簡単な説明】

【図 1】

画像表示装置の駆動回路のブロック図。

【図 2】

NTSC-RGBデコーダ部のブロック図。

【図 3】

アナログ処理部のブロック図。

【図 4】

第 1 の実施形態の別の構成図。

【図 5】

表示パネル駆動回路の動作を説明するタイミングチャート。

【図 6】

電源供給ライン配置図。

【図 7】

電源供給を制御する制御信号系統図。

【図 8】

電源回路及び電源監視回路の回路図。

【図 9】

第 1 実施形態のフローチャート。

【図 10】

第 2 実施形態のフローチャート。

【図 11】

第 3 実施形態のフローチャート。

【図 12】

第 4 実施形態のフローチャート。

【図 13】

第5実施形態のフローチャート。

【図14】

第6実施形態のフローチャート。

【図15】

第7実施形態のフローチャート。

【図16】

表示パネルの斜視図。

【図17】

蛍光体の配置図。

【図18】

平面型の表面伝導型電子放出素子の平面図及び断面図。

【図19】

平面型の表面伝導型電子放出素子の製造工程図。

【図20】

フォーミング電圧波形図。

【図21】

通電活性化処理のための印加電圧波形図。

【図22】

垂直型の表面伝導型電子放出素子の断面図。

【図23】

垂直型の表面伝導型電子放出素子の製造工程図。

【図24】

電子放出素子の特性を示すグラフ。

【図25】

マルチ電子ビーム源の平面図。

【図26】

マルチ電子ビーム源のB-B'断面図。

【図27】

多機能ディスプレイパネルのブロック図。

【図 28】

従来の表面伝導型電子放出素子の平面図。

【図 29】

従来の電界放出型電子放出素子の断面図。

【図 30】

従来のMIM型電子放出素子の断面図。

【図 31】

発明者が試みたが課題の発生した電子放出素子の配線図。

【符号の説明】

P1 NTSC-RGBデコーダ部

P2 タイミング発生部

P3 アナログ処理部

P4 ビデオ検出部

P5 プリフィルタ手段 (LPF)

P6 LPF; P5を通過したアナログ原色信号を必要階調数で量子化するA  
／Dコンバータ手段 (A／D部)

P7 逆 $\gamma$ テーブル

P8 R／G／B処理回路毎に備えられた画像メモリ。

P9 データセレクタ

P10 ラインメモリ手段

P11 MPU

P12 RAMコントローラ

P13 I／O制御部

P14 D／A部

P15 A／D部

P16 シリアル通信 I／F

P17 データメモリ

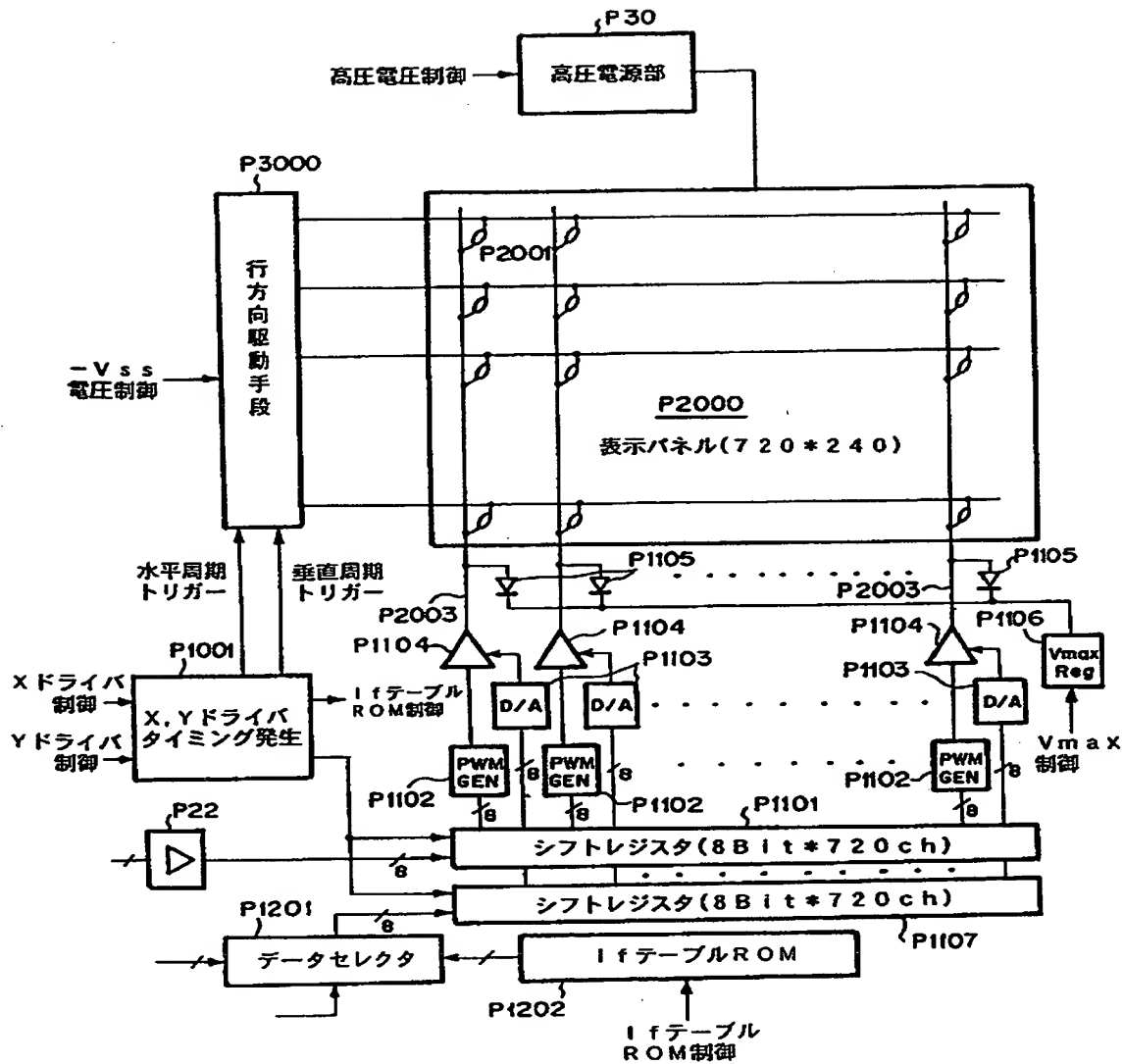
P18 ユーザーSW手段

P19 Yドライバ制御タイミング発生部

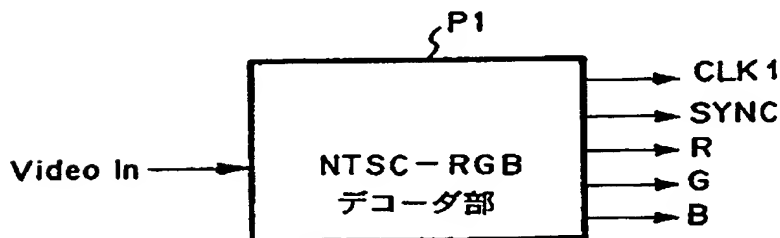
P 2 0 Xドライバ制御タイミング発生部  
P 2 1 ラインメモリ制御部  
P 2 2 ラッチ手段  
P 2 4 電源  
P 2 5 電源監視回路  
P 2 6 補助電源  
P 3 0 高圧電源部  
P 1 0 0 1 X, Yドライバタイミング発生部  
P 1 1 0 1 シフトレジスタ  
P 1 1 0 2 PWMジェネレータ部  
P 1 1 0 3 D/A部  
P 1 1 0 4 スイッチ手段  
P 1 1 0 5 ダイオード手段  
P 1 1 0 6 定電圧レギュレータ部 (Vmax)  
P 1 1 0 7 シフトレジスタ  
P 1 2 0 1 データセレクタ手段  
P 1 2 0 2 補正テーブルROM  
P 2 0 0 0 表示パネル  
P 2 0 0 1 表面伝導型素子  
P 2 0 0 2 行配線  
P 2 0 0 3 列配線

【書類名】 図面

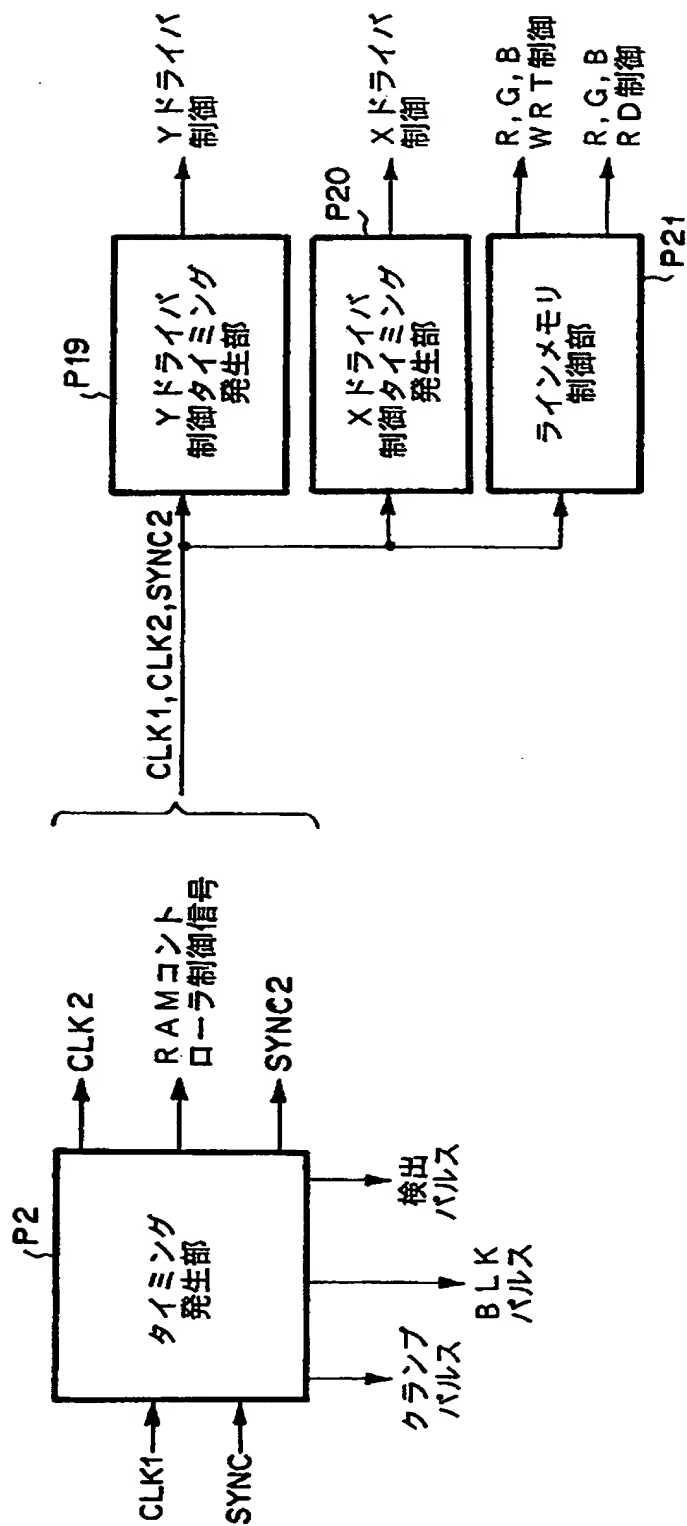
【図 1】



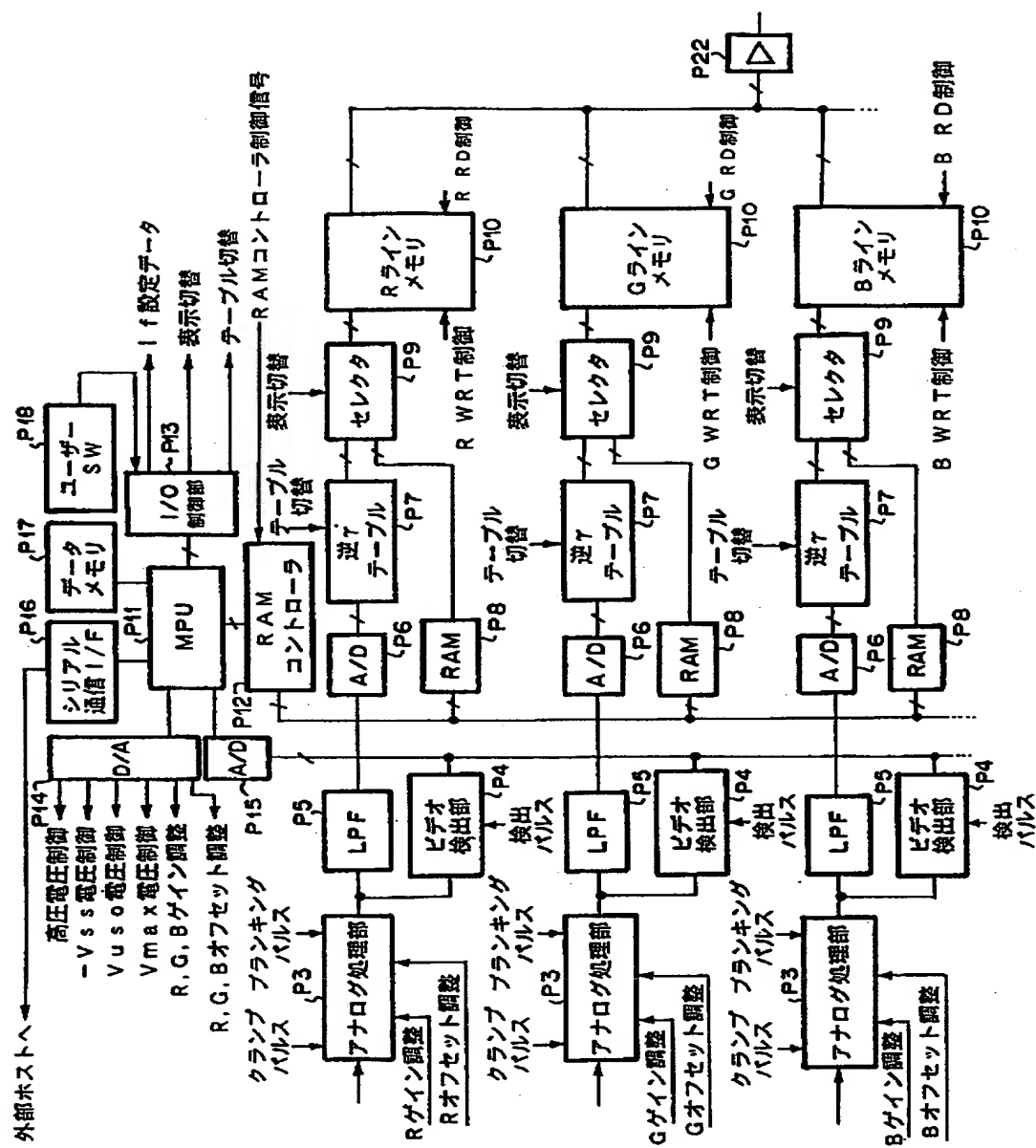
【図 2】



【図 3】

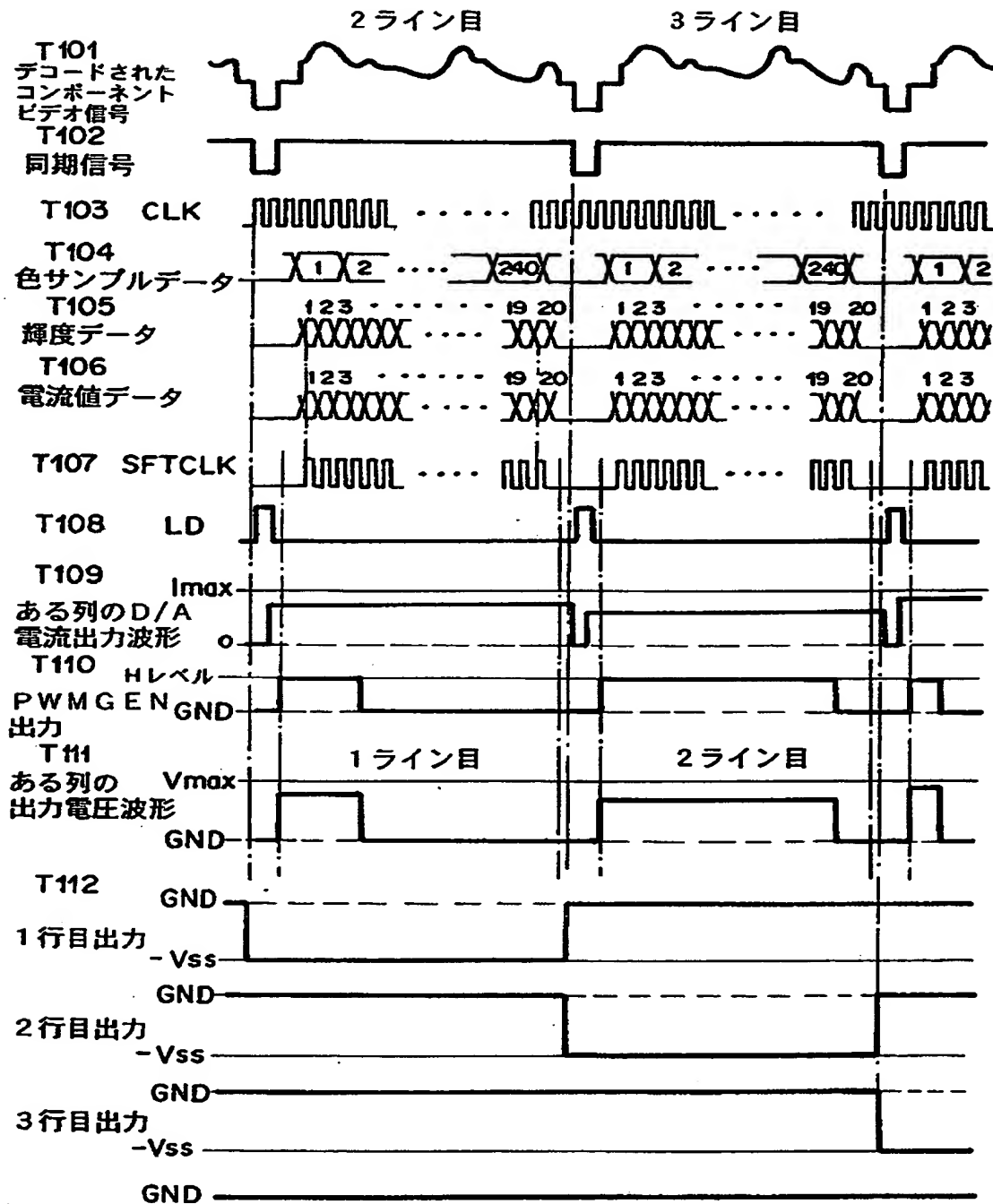


【图4】

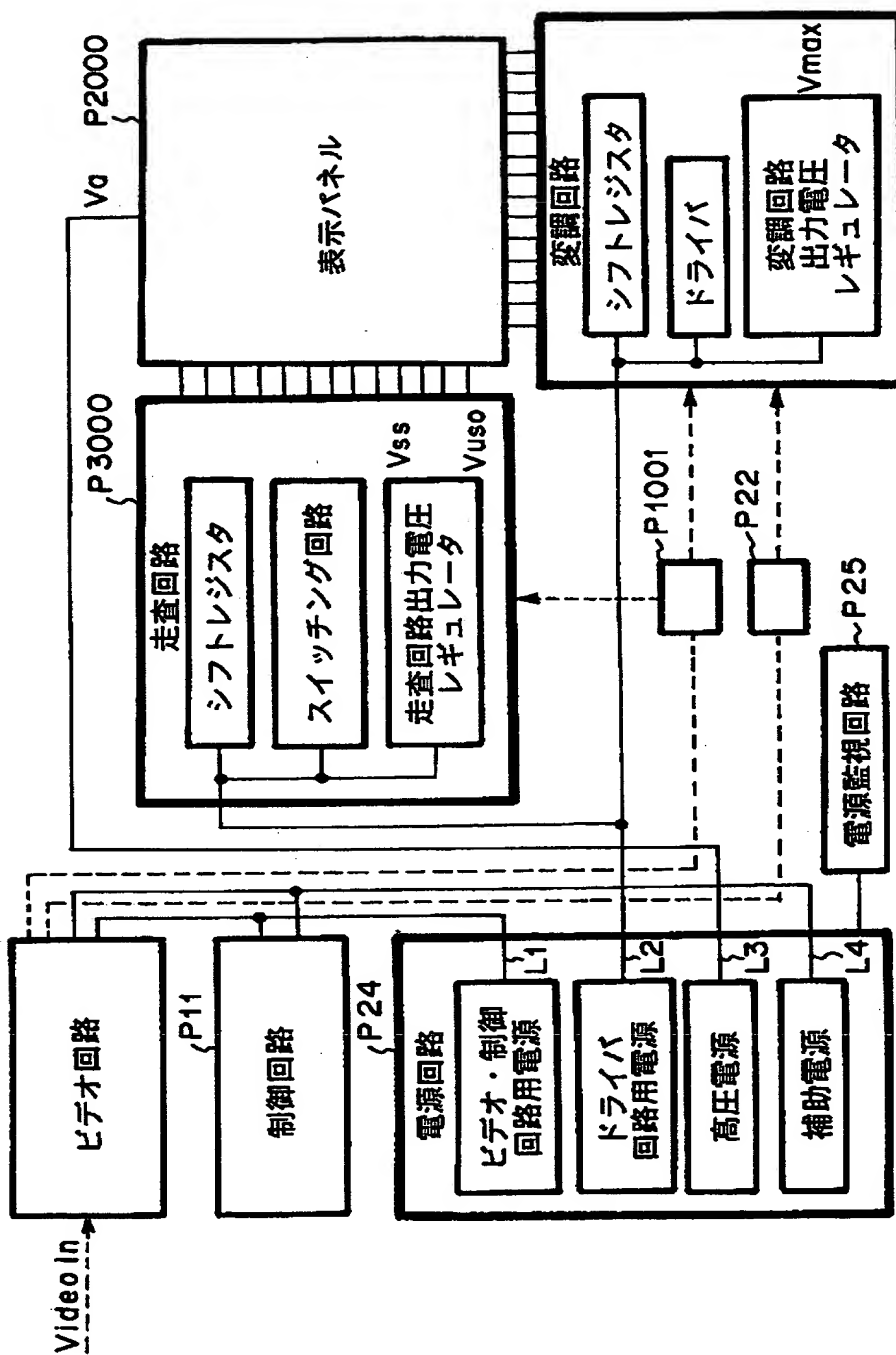




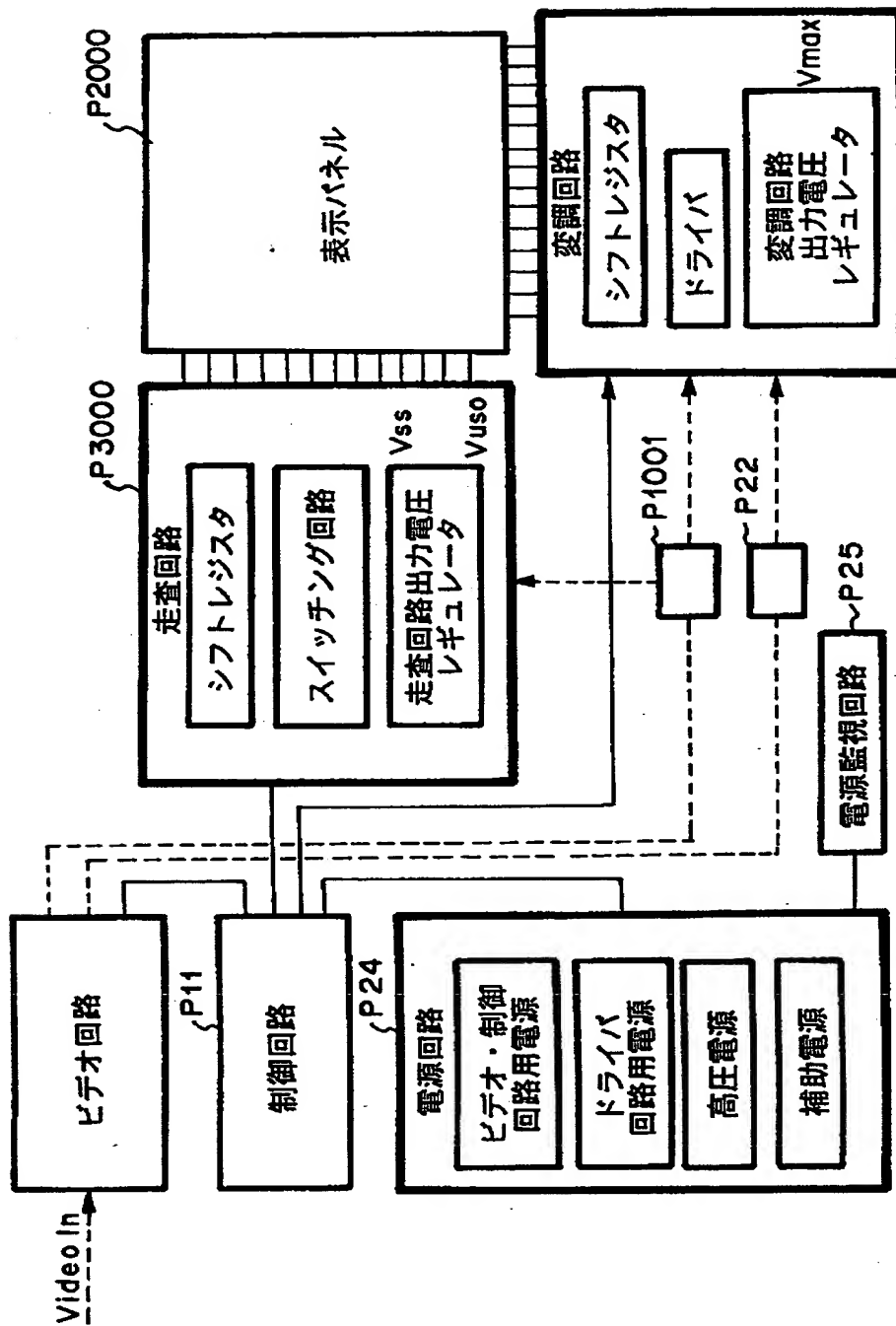
【図 5】



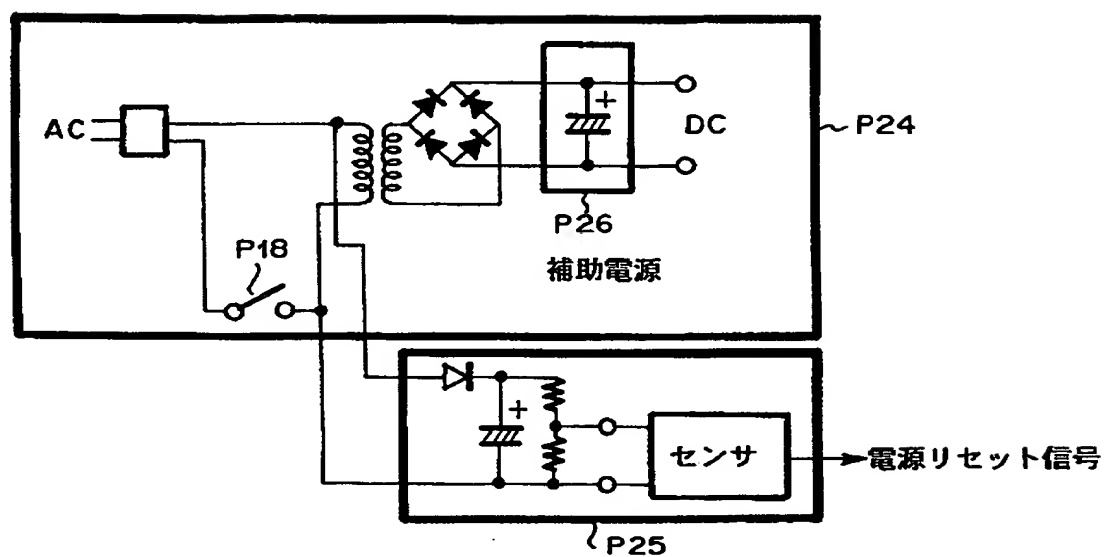
【図 6】



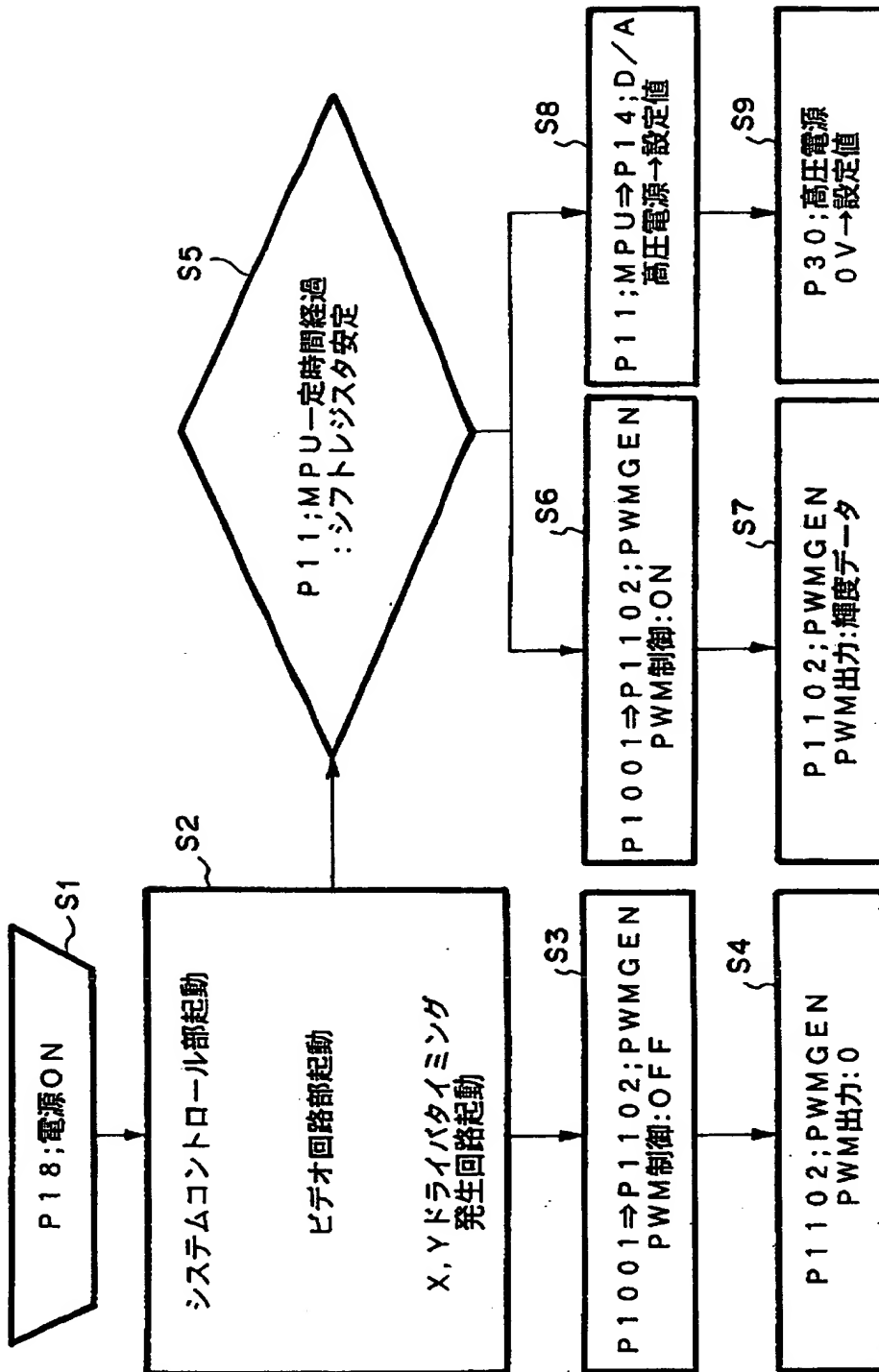
【図 7】



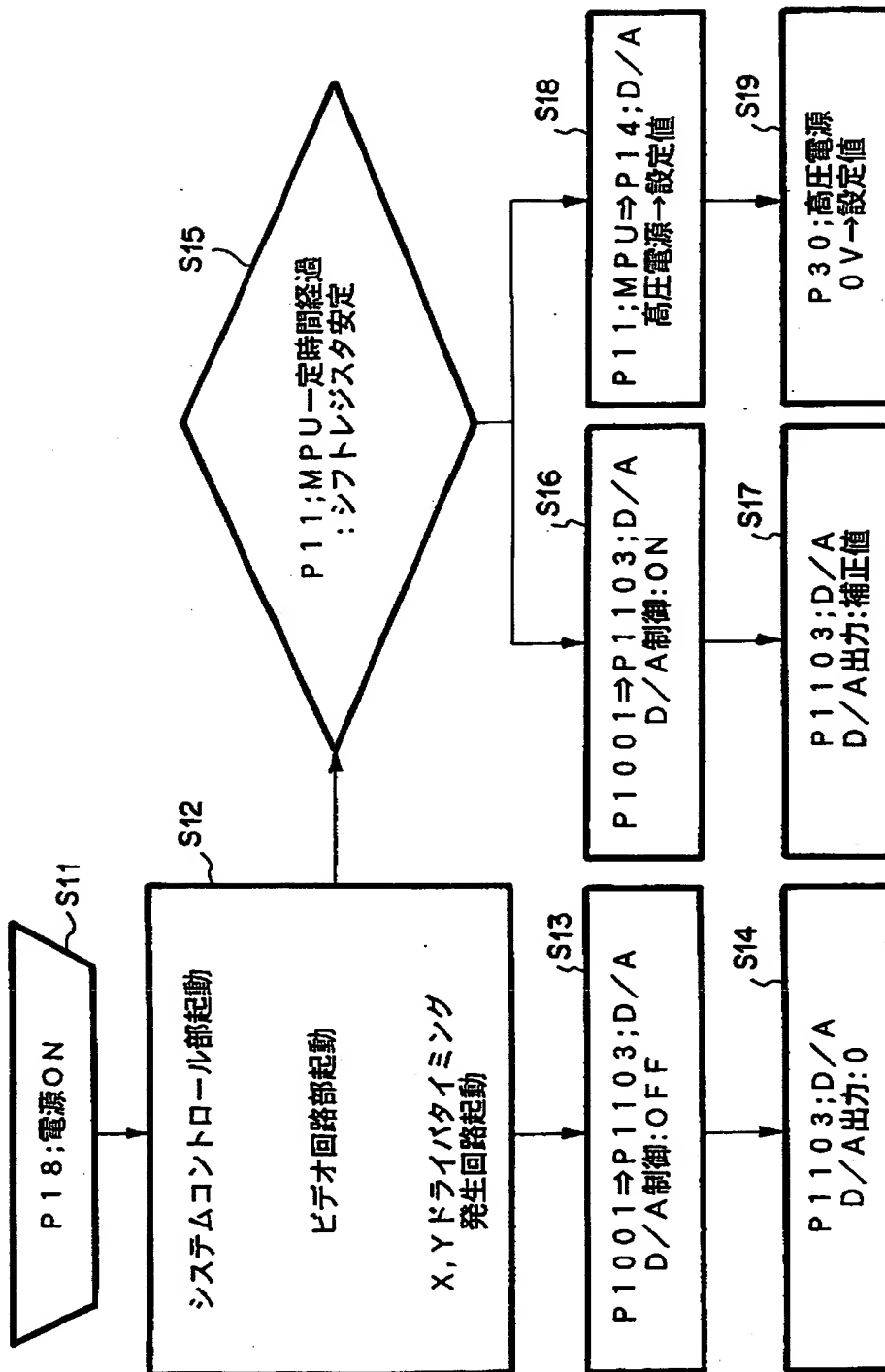
【図 8】



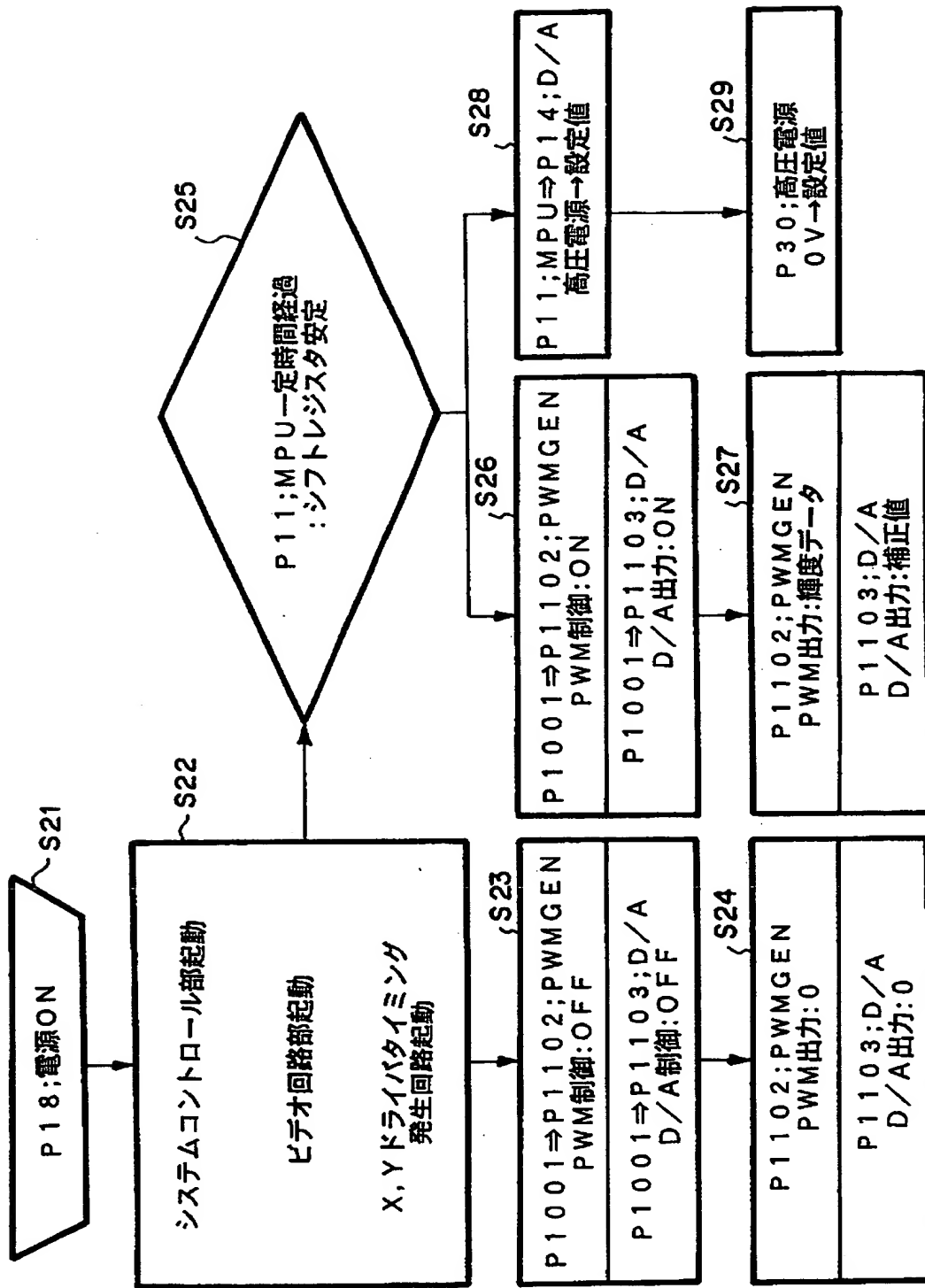
【図 9】



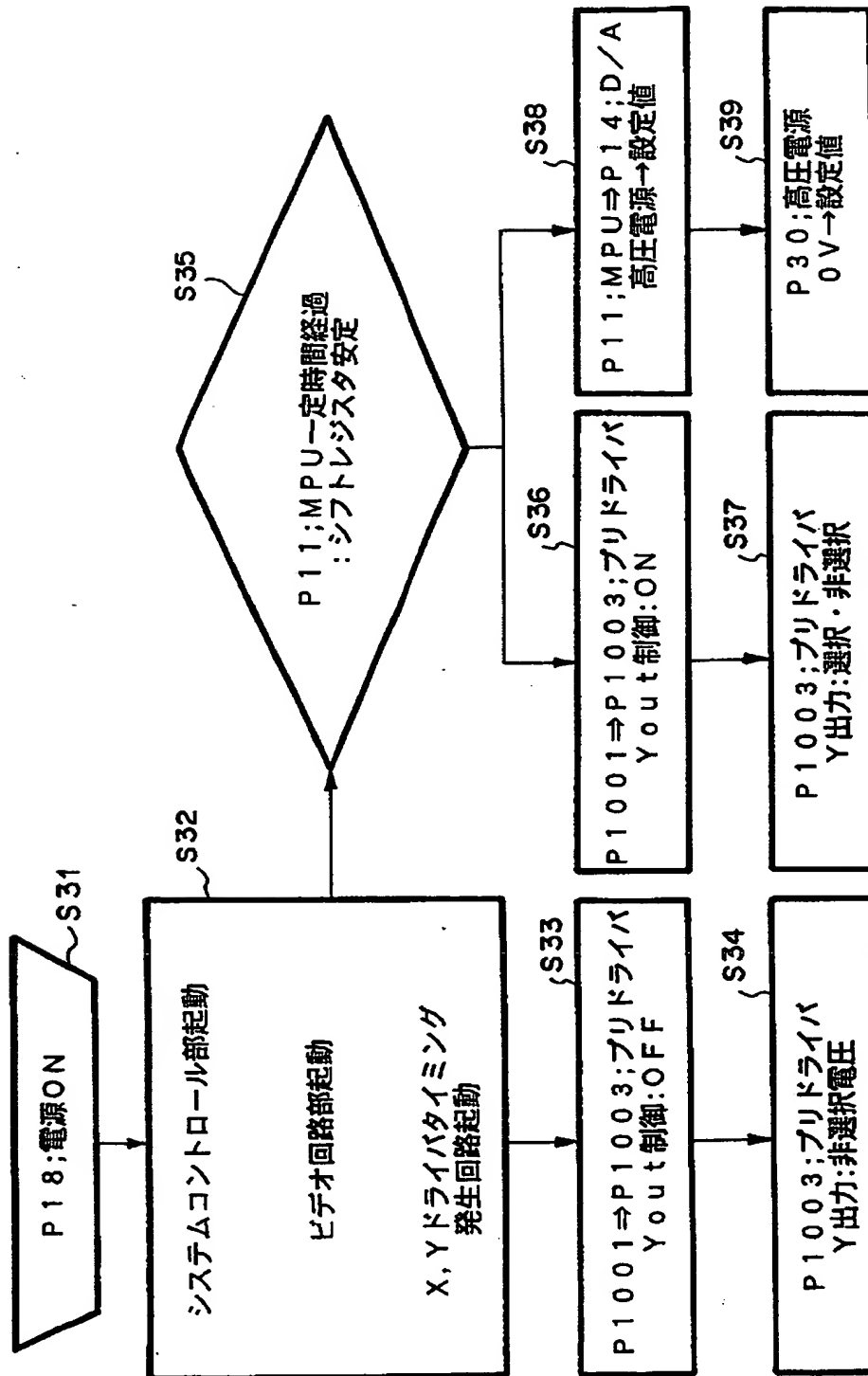
【図 10】



【図 11】

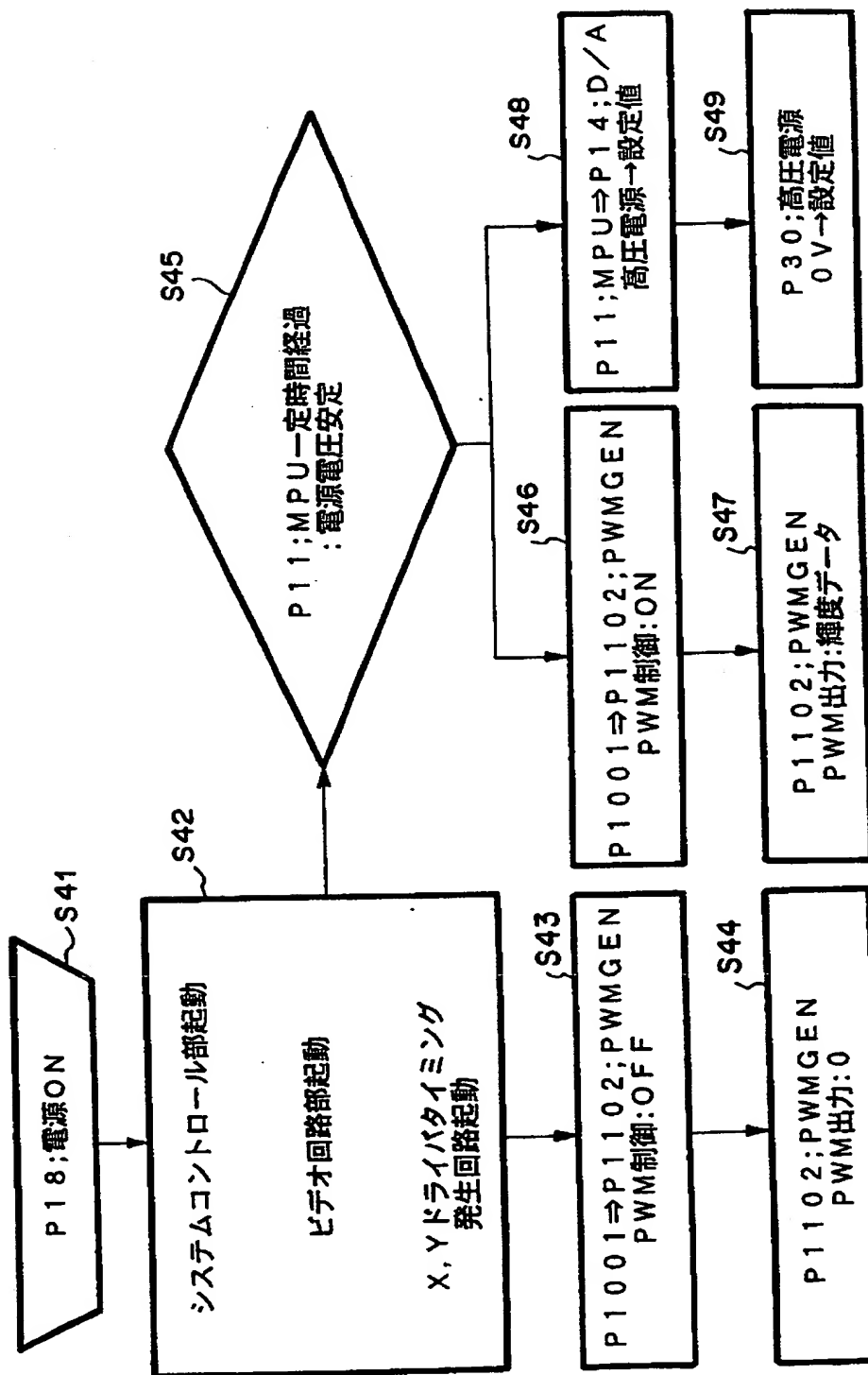


【図 12】

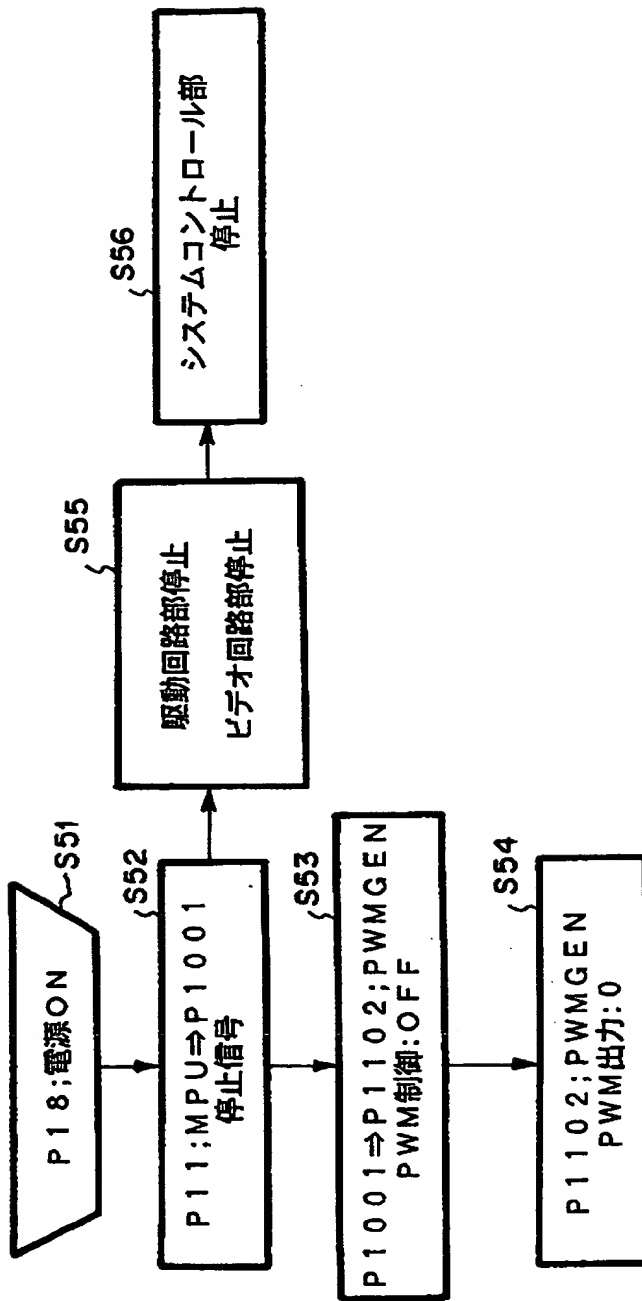




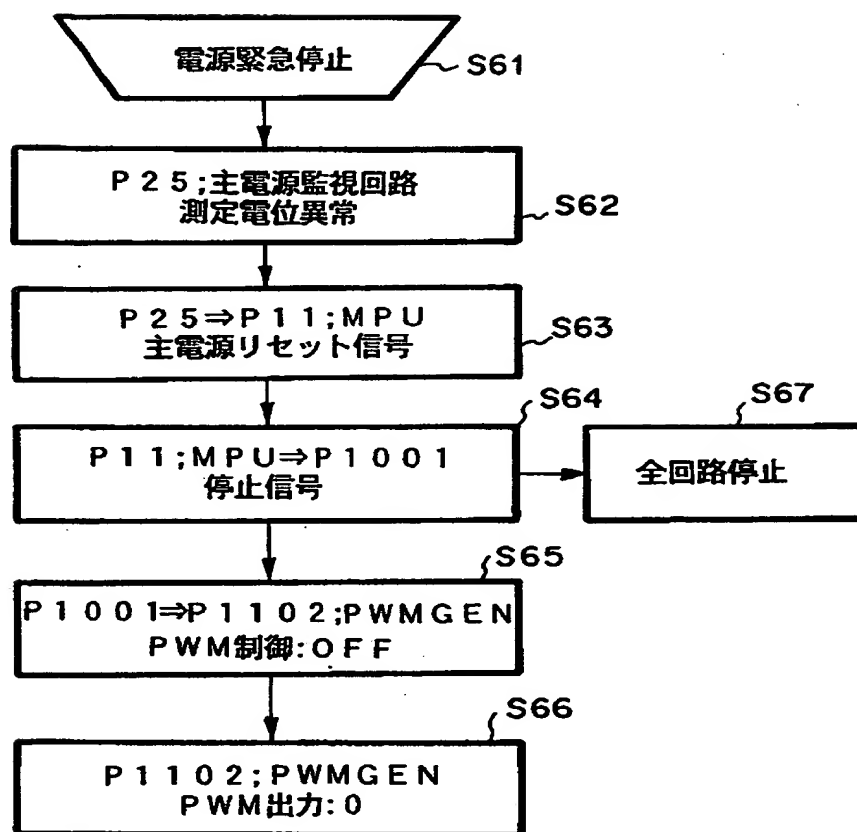
【図 13】



【図 14】

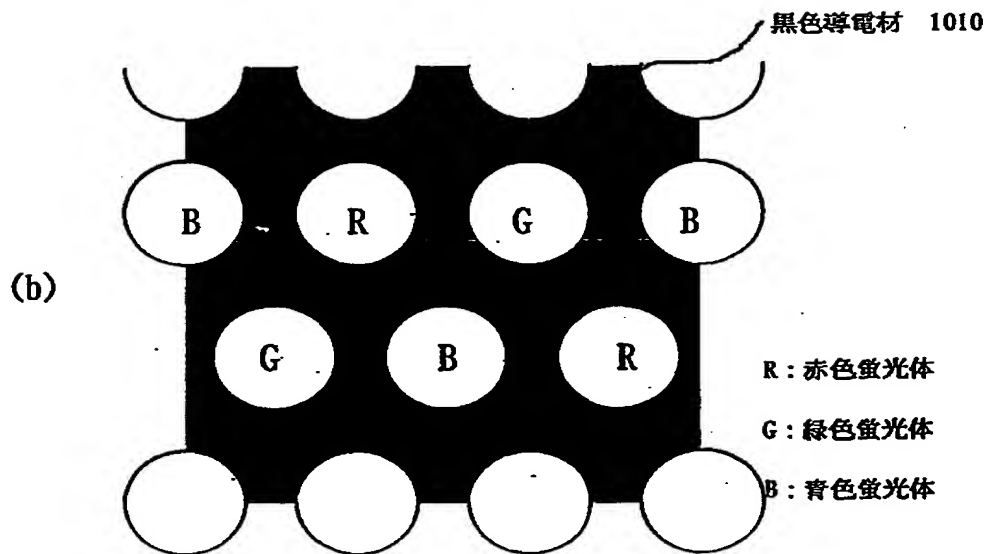
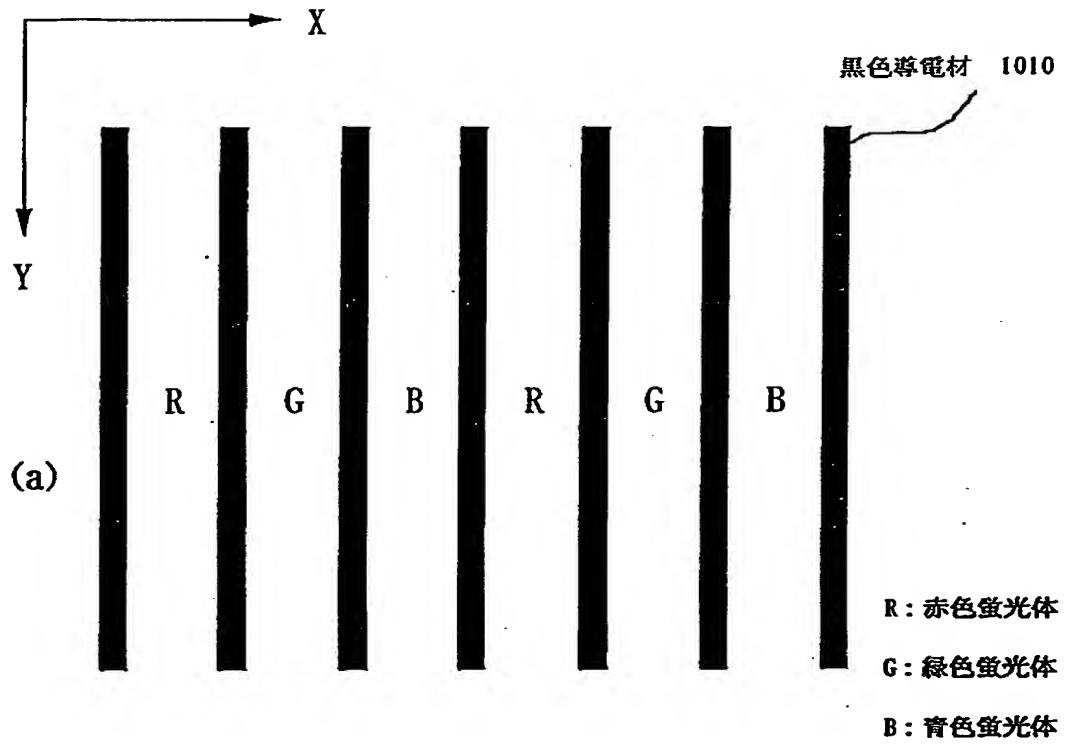


【図 15】

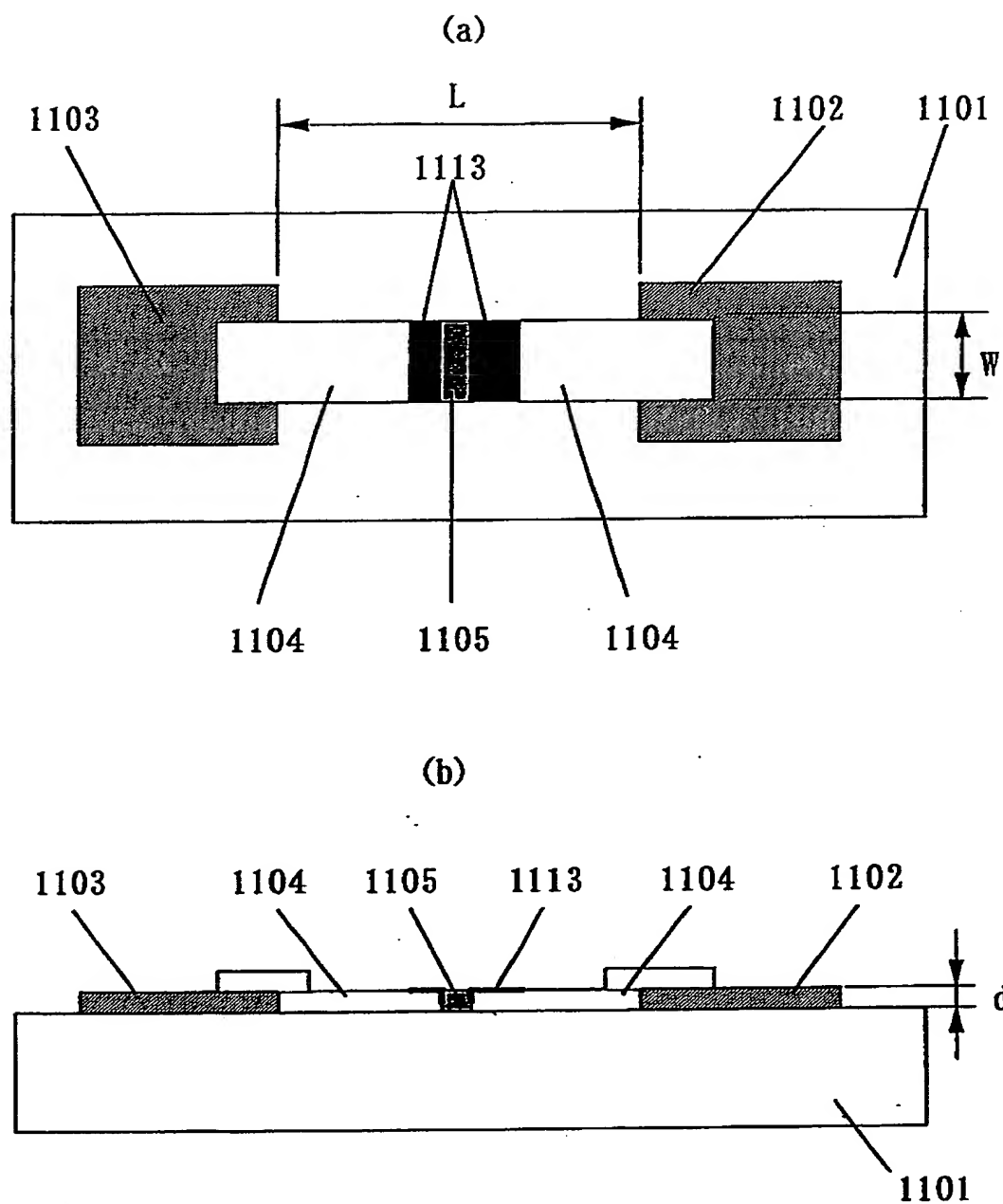




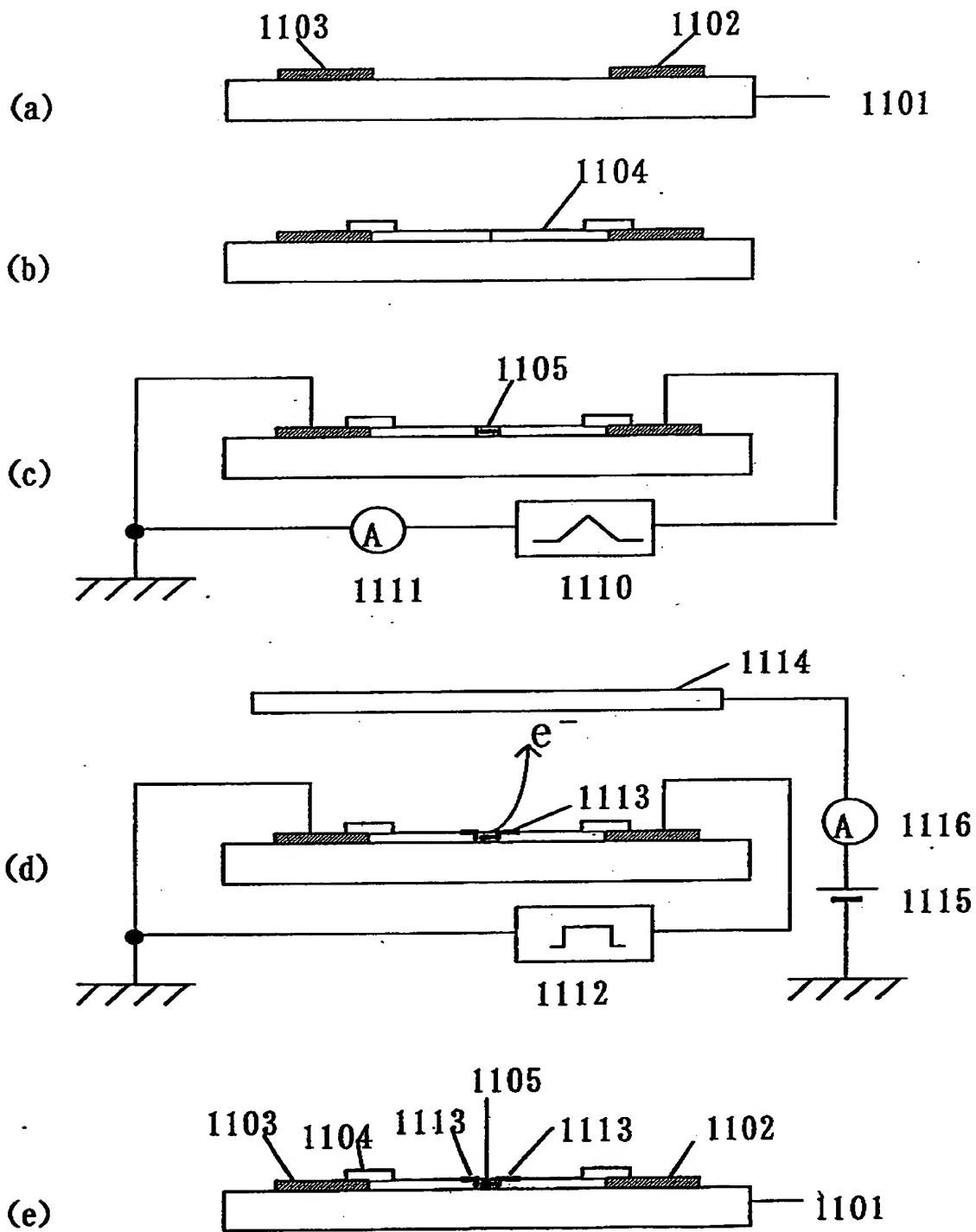
【図 1 7】



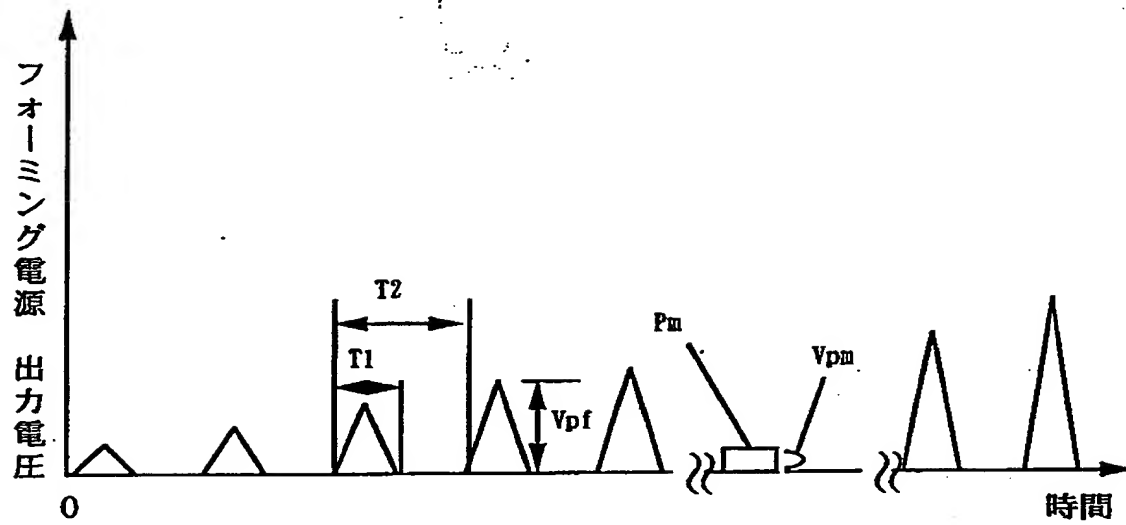
【図 18】



【图 19】

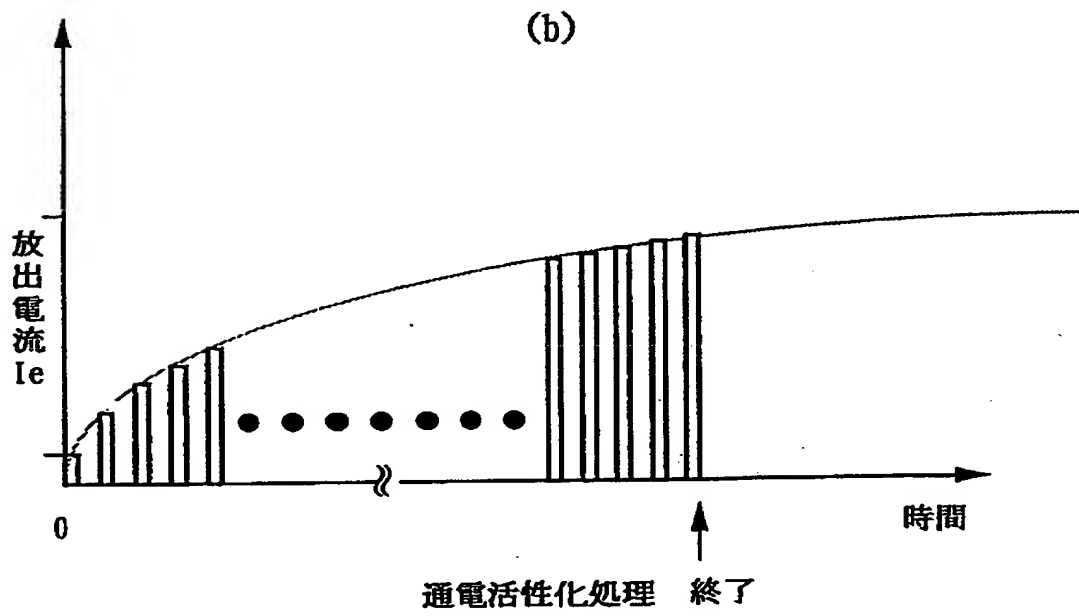
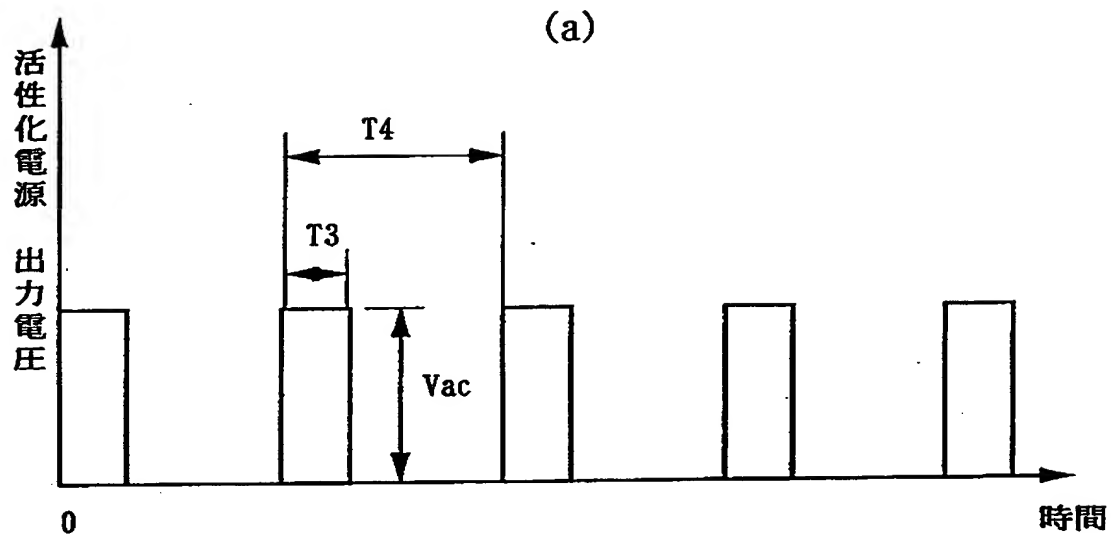


【図 20】

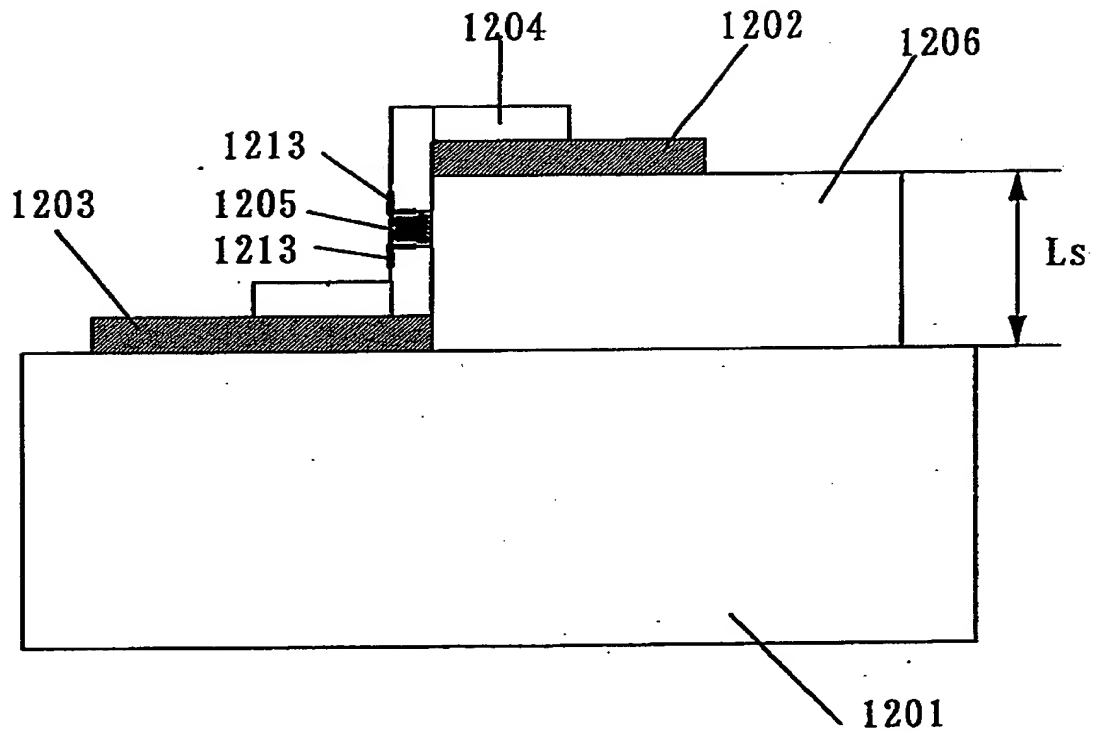




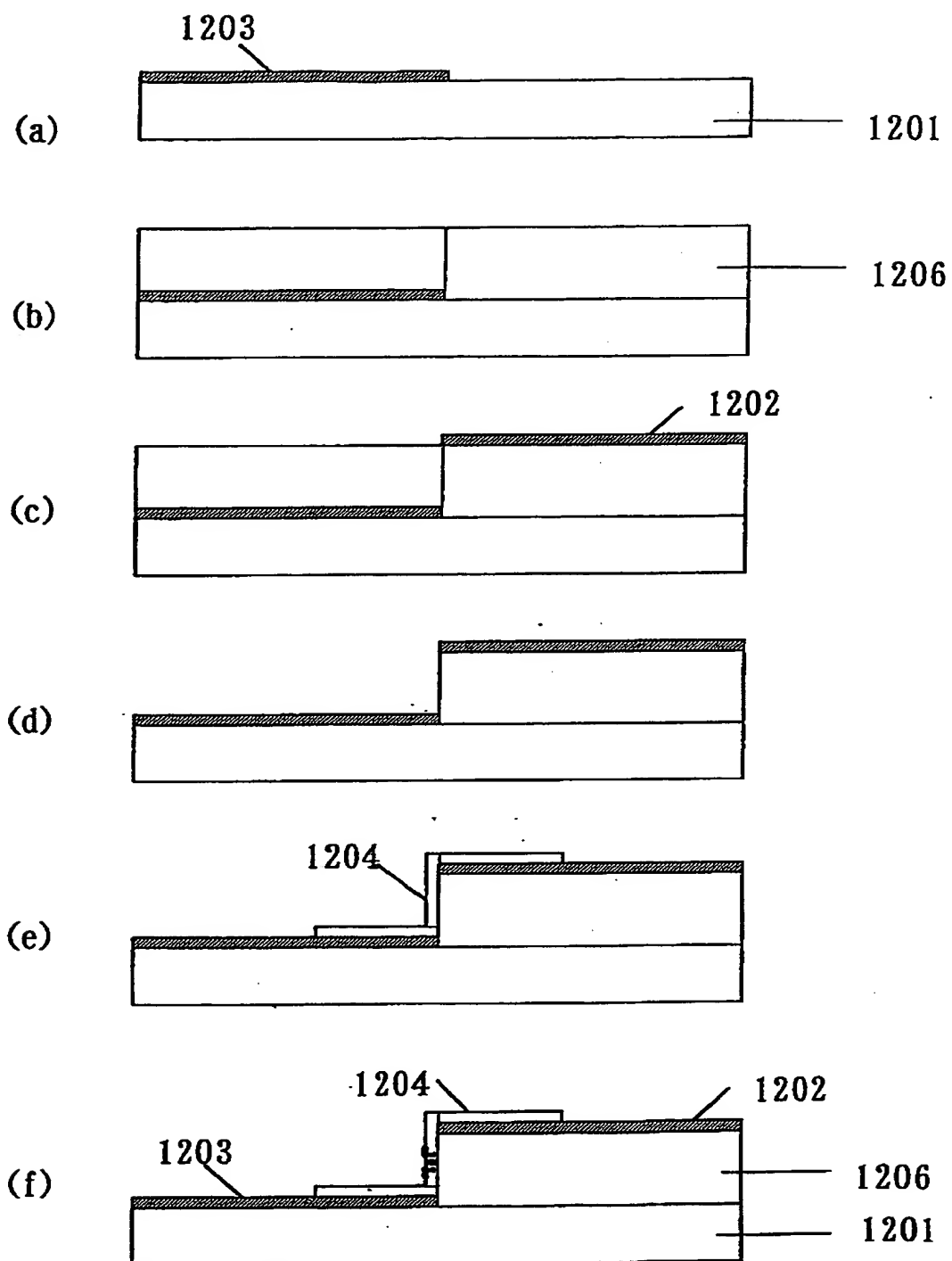
【図 21】



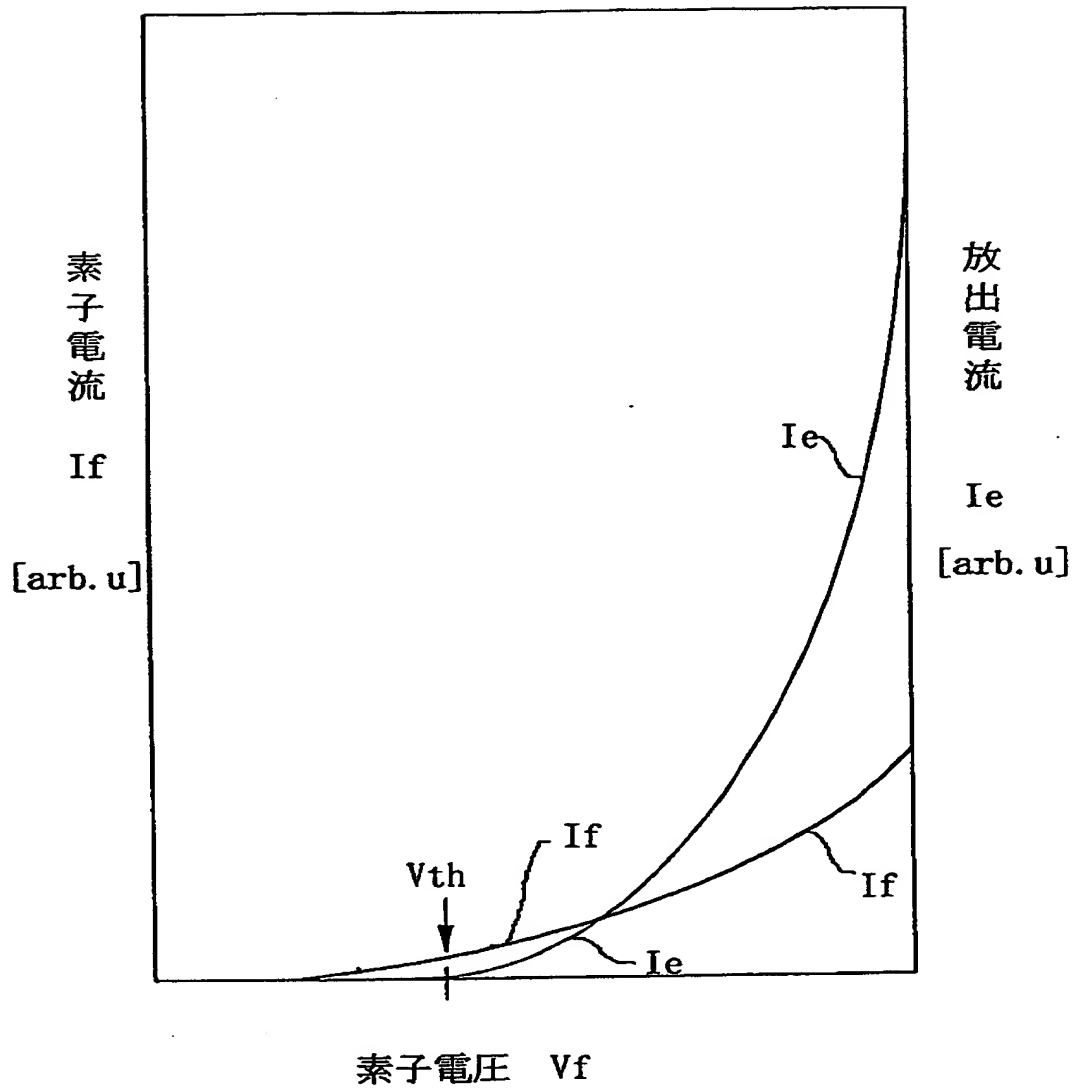
【図 22】



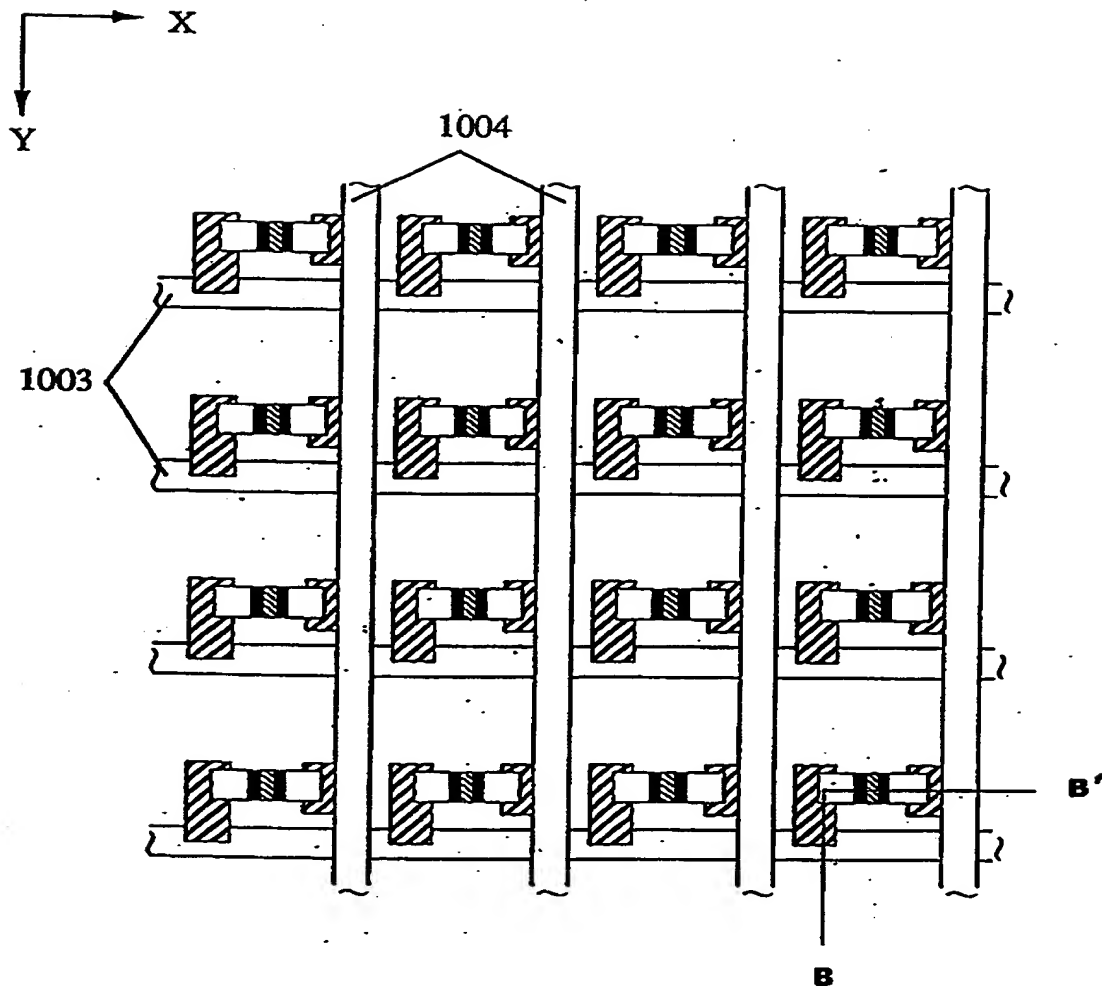
【図 23】



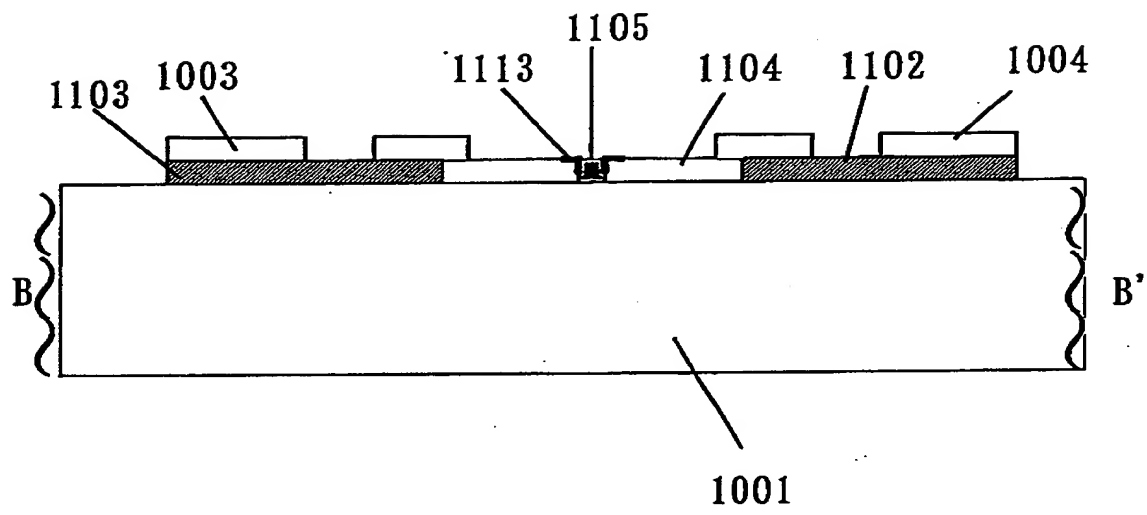
【図 24】



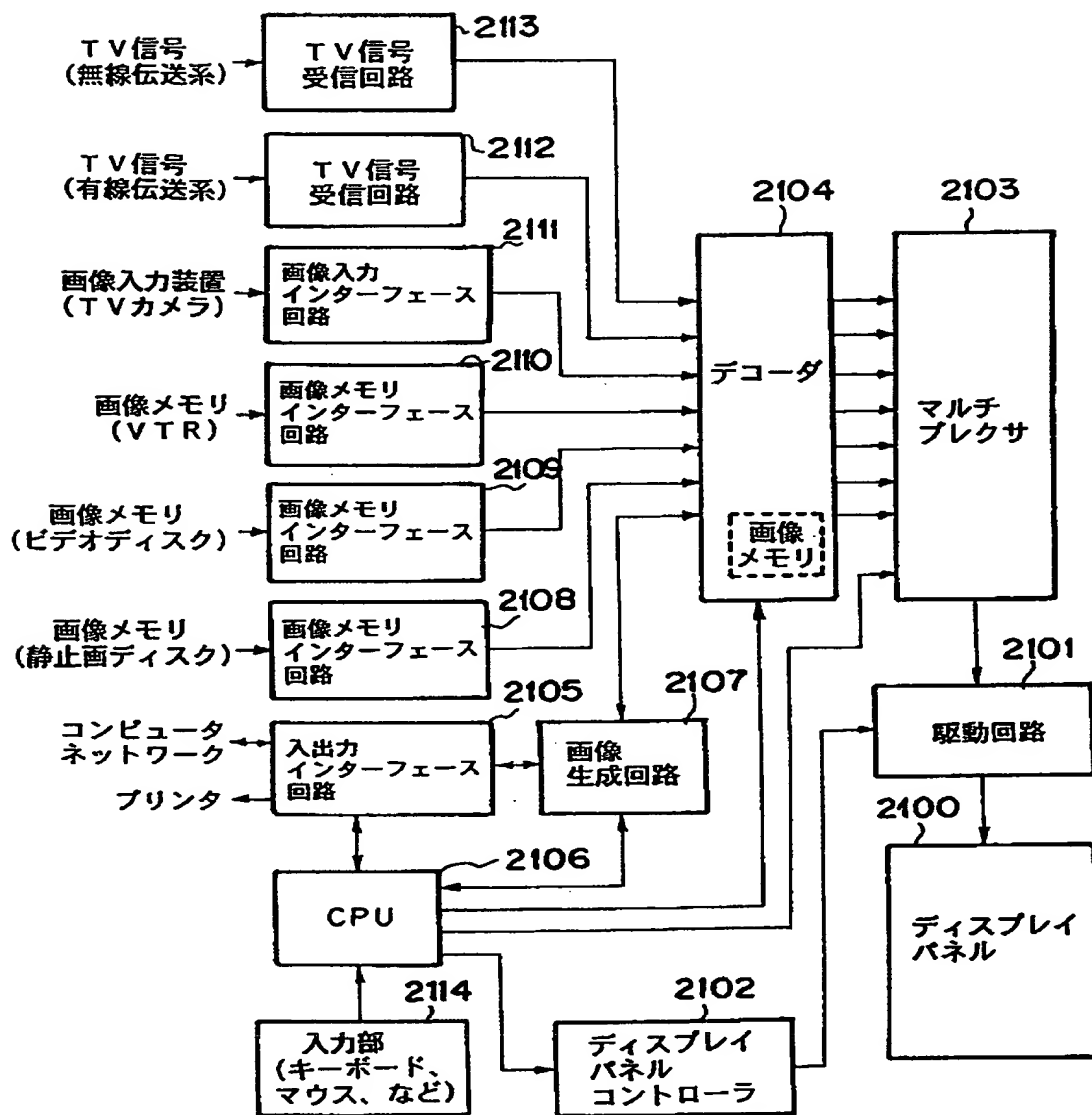
【図 25】



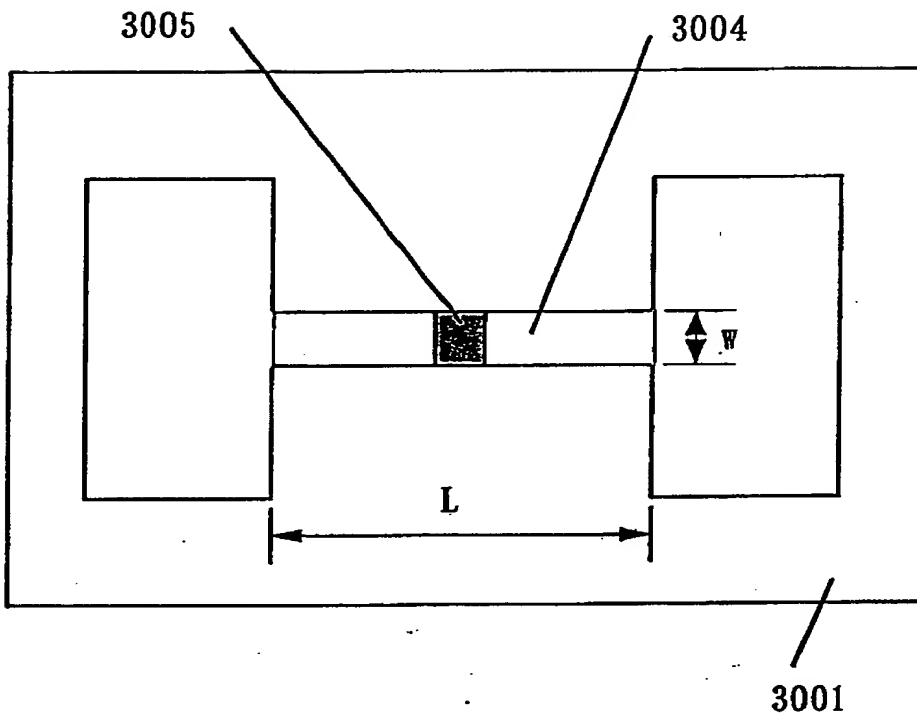
【図 26】



【図 27】

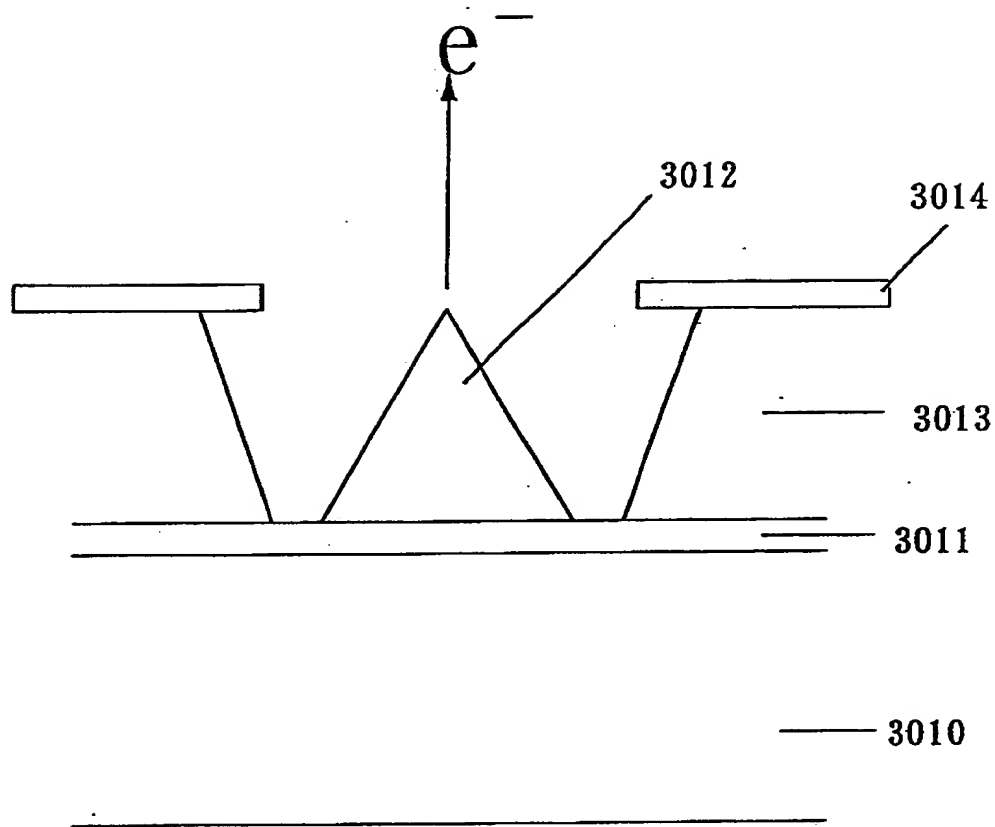


【図 28】

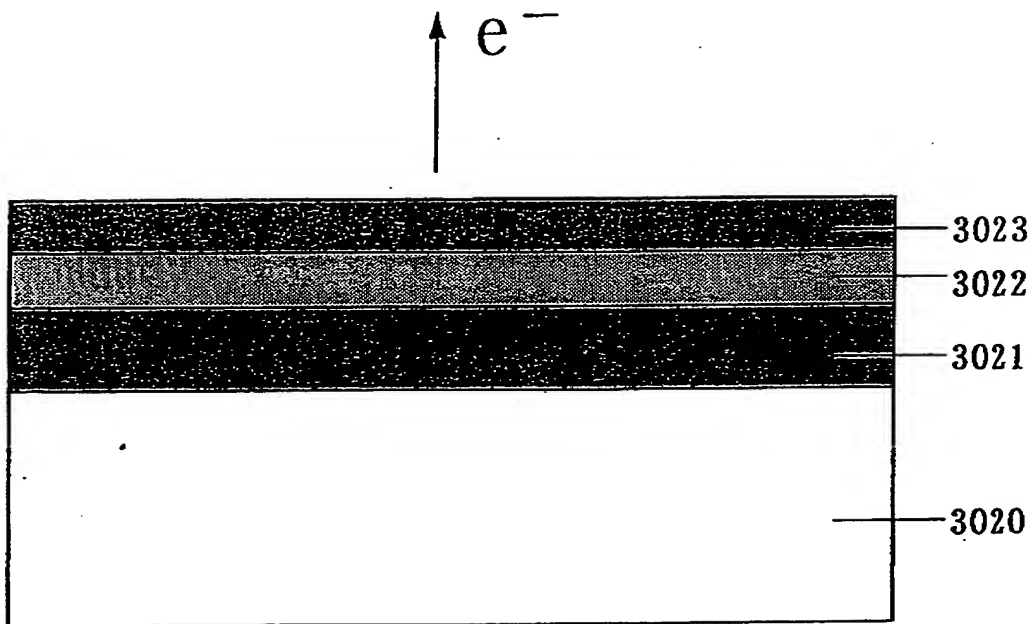




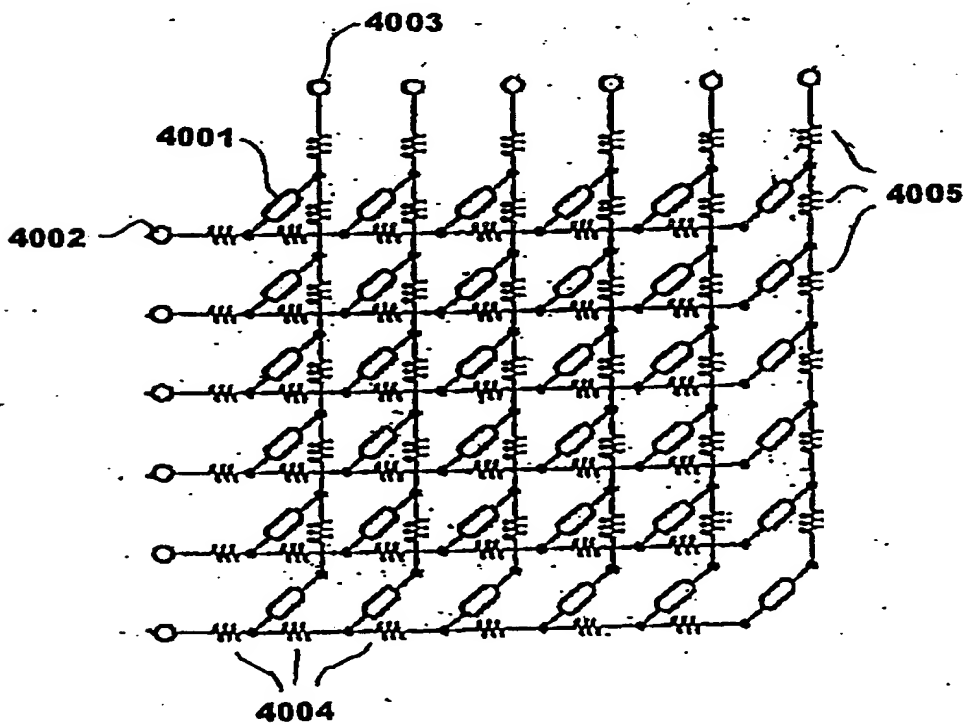
【図 29】



【図 30】



【図 31】



【書類名】 要約書

【要約】

【課題】 電源投入時、電源停止時、コンセントが引き抜かれたり停電した時、画像表示装置の冷陰極素子にダメージを与えないようにする。

【解決手段】 ビデオ回路の出力を変調する変調回路と、走査回路により画像を表示する表示パネルと、電源回路と、制御回路とを含む画像表示装置の制御方法において、記電源回路をオンした時に（S1）、電源回路は最初に、前記ビデオ回路及び制御回路に電力の供給を開始する処理を行うようにしている（S2）。又、電源回路をオフした時に、電源回路は最後に、ビデオ回路及び制御回路への電力の供給を停止する処理を行うようにしている。又、緊急停止時に、電源回路は最後に、ビデオ回路及び制御回路に電力の供給を開始する処理を行うようにしている。又、電源回路をオンした後に、所望の時間、電源回路は、前記走査回路又は前記変調回路への供給を停止する処理を行うようにしている。

【選択図】 図9

【書類名】 職権訂正データ  
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】 000001007  
【住所又は居所】 東京都大田区下丸子3丁目30番2号  
【氏名又は名称】 キヤノン株式会社

【代理人】 申請人

【識別番号】 100065385  
【住所又は居所】 東京都港区浜松町1丁目18番14号 SVAX浜  
松町ビル  
【氏名又は名称】 山下 穰平

出 願 人 履 歴 情 報

識別番号 [000001007]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都大田区下丸子3丁目30番2号

氏 名 キヤノン株式会社